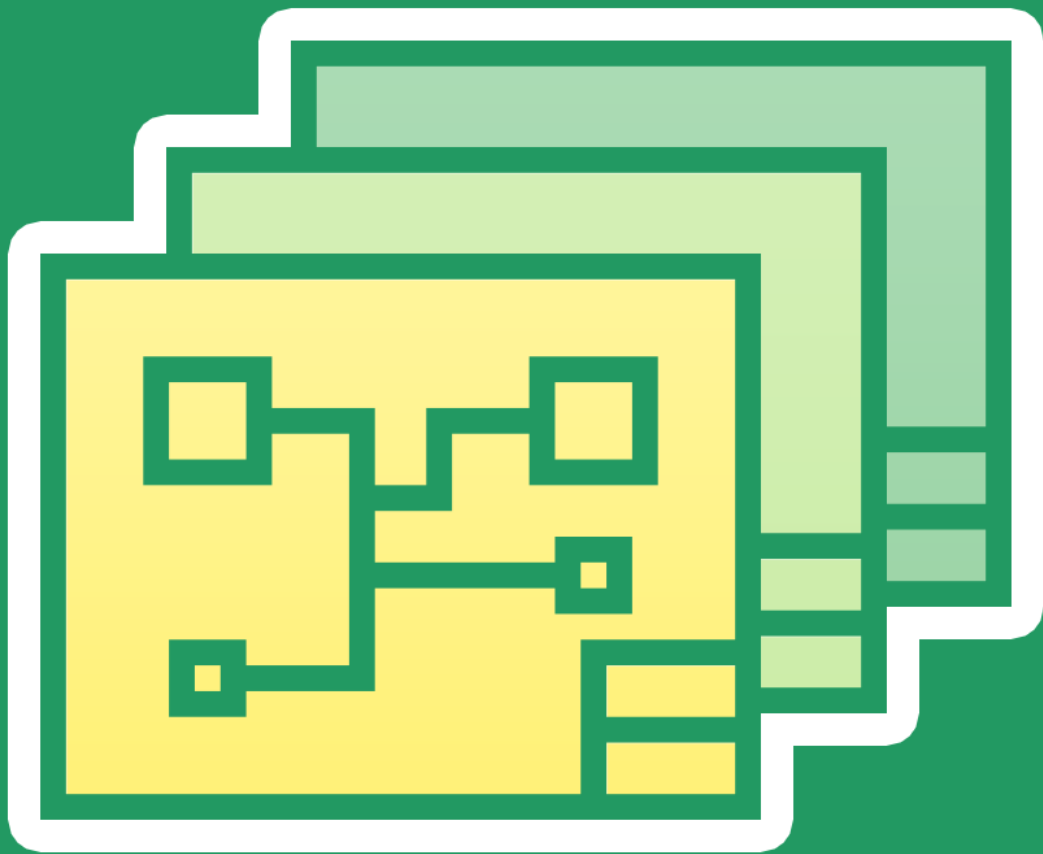


Altium[®]

回路図の電氣的ルールチェック



Christian Keller

Applications Engineer

回路図の電氣的ルールチェック

はじめに

この技術文書は、PCB設計のプロセスにおいてあまりに重要視されていない機能について解説するものであり、最初から適切な方法で設計を進めるための情報が提供されています。多くの設計者や企業はPCBのレイアウトを正しく設計することに取り組んでおり、最近では周辺の機械に関する状況をリアルタイムでチェックしています。

しかし、既に回路図にエラーが含まれる場合は、どうでしょう？ 通常、人による設計のレビューが行われますが、設計の複雑さが増し納期が短くなる中、ミスが入り込むことが、ますます普通になっています。プロフェッショナルPCB設計ソフトウェアのエレクトロニックルールチェック (ERC) 機能は、回路図のミスを見つけ取り除くのに役立ちます。いくつかの基本ルール、および設計の基となる「文法」をチェックします。

ERC (電氣的ルールチェック) はなぜ有効なのか

この質問に答えるのは非常に簡単です。つまり、設計を対象としたチェックを行うルールを設定するだけで問題が特定され、設計の早い段階でそうした問題を修正できるようになります。そのうえ、ERCの設定と実行にはわずかな時間しかかかりません。実のところ、手動でチェックを行う時間のほんの何分の1かで完了します。そのため、再チェックではなく設計に時間を使えるようになります。

ERCの活用方法の1つは、どの要素がどのように接続を許可されるのかを定義する接続マトリクスと回路図設計の全体的な「文法」という2つの領域で、チェックを分割して実行することです。(図1を参照)。

「文法」領域では、バス、コンポーネント、ドキュメント、ハーネス、ネット、パラメーターなどの使用に関する、さまざま設定をカバーします。

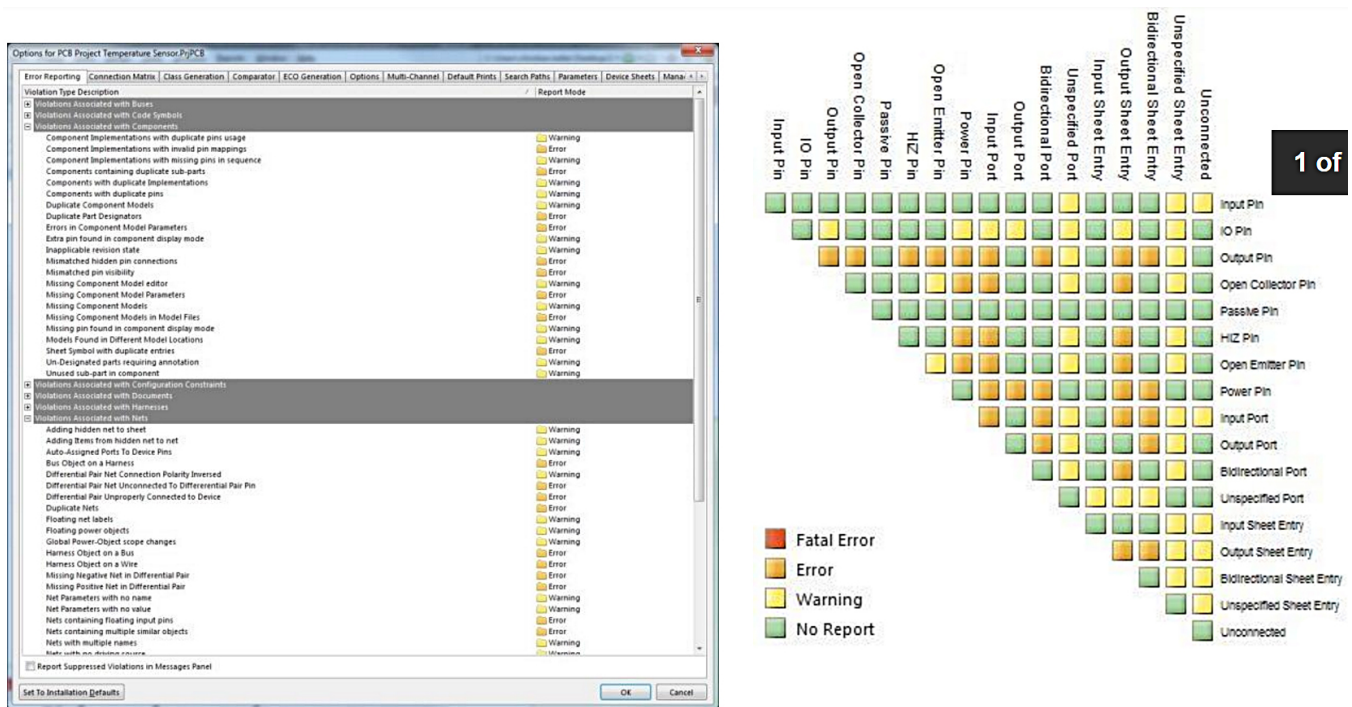


図1: ERCは、すべての接続が適切であるかどうかのチェックと「文法」チェックに分割される

回路図の「文法」

「文法」の違反の例としてはフローティングネットラベルが挙げられます(図2を参照)。ただし、こうした問題は必ずしも明白であるわけではありません。特にインポートされた設計ではこの傾向が顕著になります。

回路図の電氣的ルールチェック

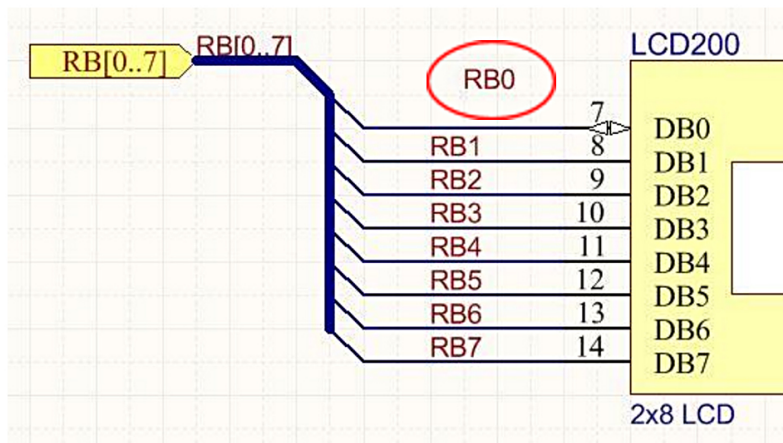


図2: フローティングネットラベルは「文法」違反の一例

つまり、文法の領域では、設計ツールで想定される適切な回路図の作成方法に関して、すべてのチェックが行われることになります。

接続チェック

すべてが正しく作成されたあとは、接続マトリクスに基づいて残りのチェックを行います。ここでは、回路図のさまざまなページに分散し、複数の階層レベルを移動するネットを非常に簡単にチェックできます。

直接接続を確認するのは簡単ですが、複数の出力が1つにまとめられていると複雑になり、通常これは許容されません。ただし、出力がコンポーネント内の手順で制御されている場合は許容範囲になることもあります。図3には、不要な警告が生成される例も含まれています。

入力ピンをレジスタのパッシブピンに接続すると、入力が接続されないためにERCの警告が出ます。これはどう解決すればよいでしょうか。その方法の1つは、動作モデルを使って、レジスタの動作をシステムに教えることです。ただし、非常に複雑なコンポーネントであっても、すべての回路図に対してこの作業を行わなければいけないとすれば厄介です。

これを解決する方法としては、「NoERC」と呼ばれる要素でシステムを優先させ、警告が出ないようにすることができます。エラーメッセージを減らすために、ERCシンボルが未接続の出力に使用されることもありません。

まとめ

回路図の自動ルールチェックの領域で、最先端の設計ツールに期待できる内容をご紹介しました。

Altium Designerは、このような、設定可能な幅広いチェックルーチンとの連携をサポートします。チェックルーチンを使用して、作成後の回路図をチェックしたり、製造データを作成するときにオンラインERCやバッチチェックを行ったりできます。

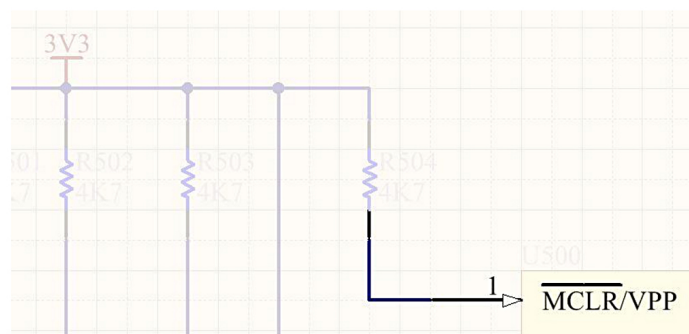


図3: 動作していないレジスタと入力の接続によって生成されるERC警告