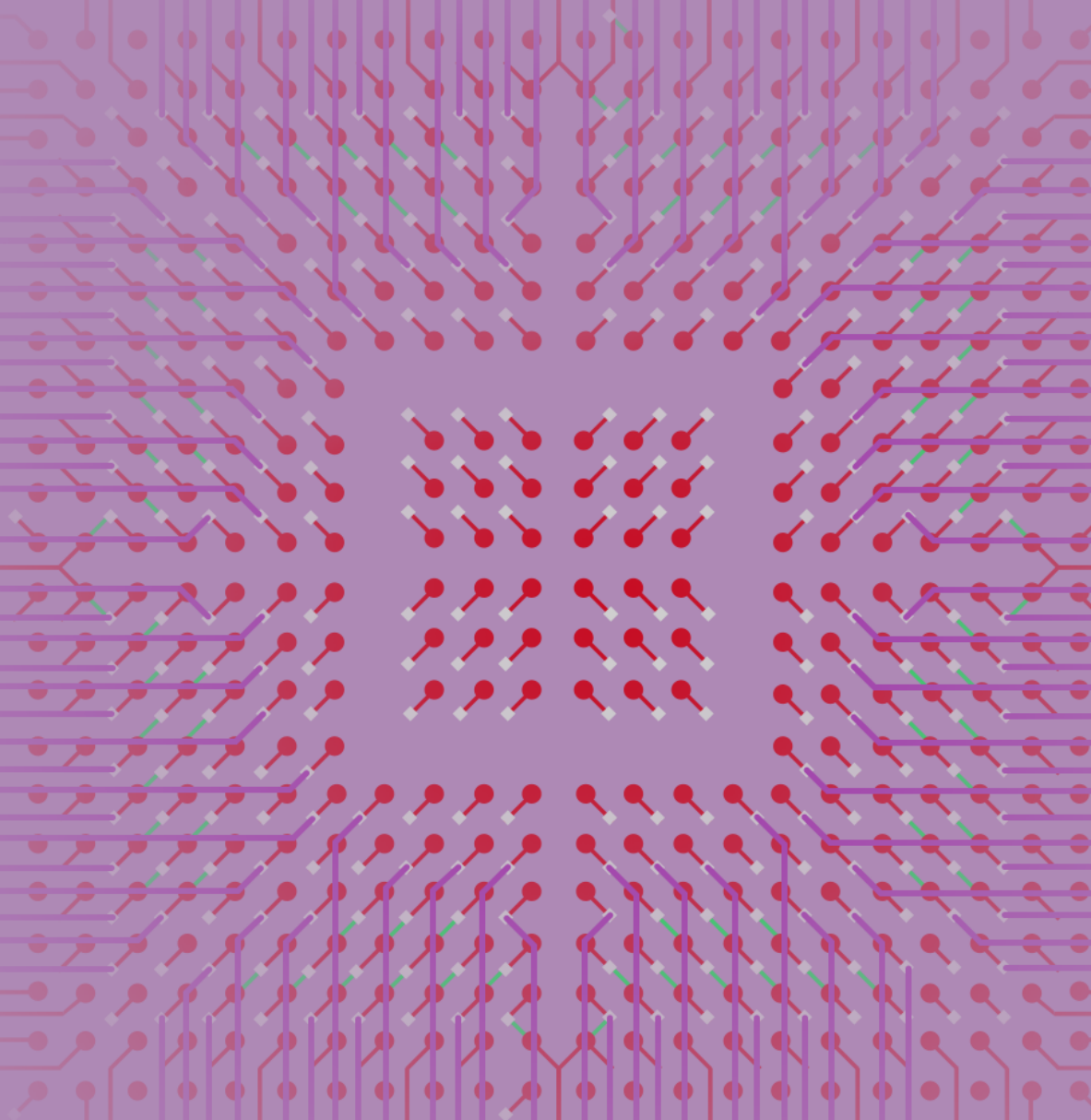


Altium[®]

Flächensensibler Teil der Platine



Charley Yap

Field Applications Engineer

FLÄCHENSENSIBLER TEIL DER PLATINE

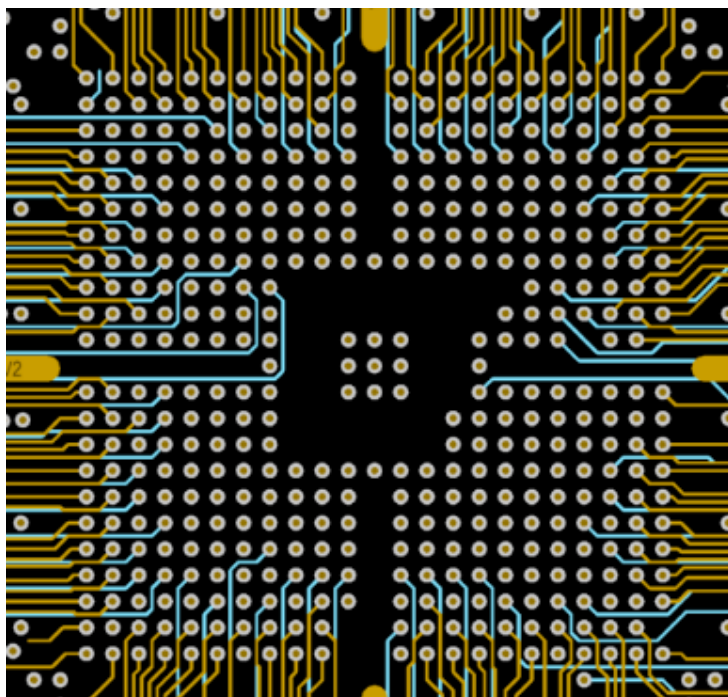
EINFÜHRUNG

Derzeit ist das Ball Grid Array (BGA) die Standard-Gehäusebauform zum Unterbringen einer Vielzahl komplexer und vielseitiger Halbleiteranwendungen wie FPGAs und Mikroprozessoren. Das BGA-Gehäuse für ein eingebettetes Design hat sich im Laufe der Jahre beachtlich weiterentwickelt, um mit dem technologischen Fortschritt der Chiphersteller Schritt zu halten. Bei dieser speziellen Gehäusebauart muss zwischen Standard-BGAs und Mikro-BGAs unterschieden werden. Mit der heutigen Technologie treten aufgrund der Nachfrage nach I/O-Verfügbarkeit einige Herausforderungen auf, sogar für erfahrene PCB-Designer. Der Grund dafür sind die vielen Herausführungs-Routen.

Die primäre Herausforderung für Designer besteht in der Entwicklung geeigneter Herausführungs-Routen, die bei der Herstellung keine Fehler oder andere Probleme verursachen. Es gibt mehrere Anwendungen, bei denen Sie eine geeignete Fan-Out-Routing-Strategie anwenden müssen, die die Pad- und Durchkontaktierungs-Größe, die Anzahl der I/O-Pins, die Zahl der für das Fan-Out des BGA benötigten Lagen sowie Abstand und Breite der Leiterbahnen umfasst. Außerdem die Frage, aus wie vielen Lagen eine Platine bestehen sollte, was für einen Designer nie eine einfache Entscheidung ist. Mehr Lagen führen zu höheren Gesamtkosten des Produktes. Auf der anderen Seite benötigt man manchmal mehr Lagen, um das Rauschen zu unterdrücken, welches in dem Design auftreten könnte.

DER ARBEITSBEREICH

Sobald ein Designer die Breiten und Abstände der Leiterbahnen im Design, die Größe der Durchkontaktierungen und die Anzahl der Leiterbahnen in einem einzelnen Kanal festgelegt hat, können Sie die Anzahl der benötigten Lagen ermitteln. Die bewährte Methode besteht hier darin, die Belegung der I/O-Pins zu minimieren, damit es weniger Lagen werden. Allgemein benötigen die ersten beiden Außenseiten des Geräts keine Durchkontaktierungen, während im inneren Bereich Durchkontaktierungen benötigt werden, die auf der Unterseite geroutet werden. Viele Designer nennen dies einen Hundeknochen. Es handelt sich dabei um eine kurze Leiterbahn, die vom Pad des BGA zu einer Durchkontaktierung am anderen Ende führt. Der Hundeknochen fächert sich auf und teilt den Baustein in vier Abschnitte ein. Dadurch kann auf die restlichen inneren Pads von einer anderen Lage zugegriffen werden und es steht über den Rand des Bausteins hinaus ein Ausweichweg nach außen zur Verfügung. Der Verlauf setzt sich fort, bis alle Pads vollständig aufgefächert sind.

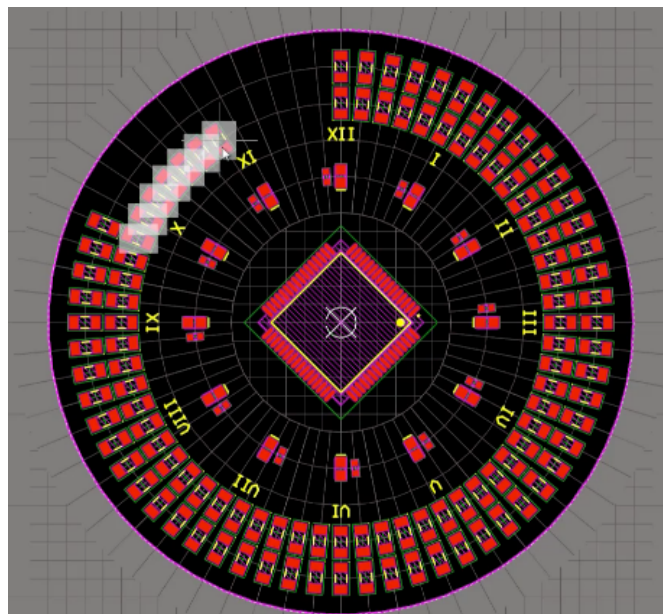


FLÄCHENSENSIBLER TEIL DER PLATINE

Das Routing ist im Fall von „Snap Grids“ (Fanggittern) nicht immer konsistent. Ein gutes Beispiel dafür ist es, wenn ein Benutzer eine Leiterbahn-Verjüngung („Neck-Down“) benötigt, also einen Übergang von einer breiten auf eine schmale Leiterbahn. In diesem Fall kann es für den Benutzer mühsam sein, die Einstellungen hin und her zu verstellen, damit sie zum richtigen Fanggitter passen. Wenn wir allerdings ein weiteres Gitter in ein Gitter einfügen, bei dem der Benutzer die Empfindlichkeit der Fanggitter automatisch auf einen komfortableren Wert einstellen kann, lassen sich hiermit die Mühen der sich wiederholenden und monotonen Prozesse erleichtern. Ein weiteres Beispiel ist das Anordnen von Bauteilen im Kreis. Polare Gitter sind nützliche Funktionen im Rahmen eines erweiterten Fanggitter-Verwaltungssystems. Sie können beim Entwickeln von kreisförmigen Platinen sehr hilfreich sein, vor allem während der Bauteilplatzierung.

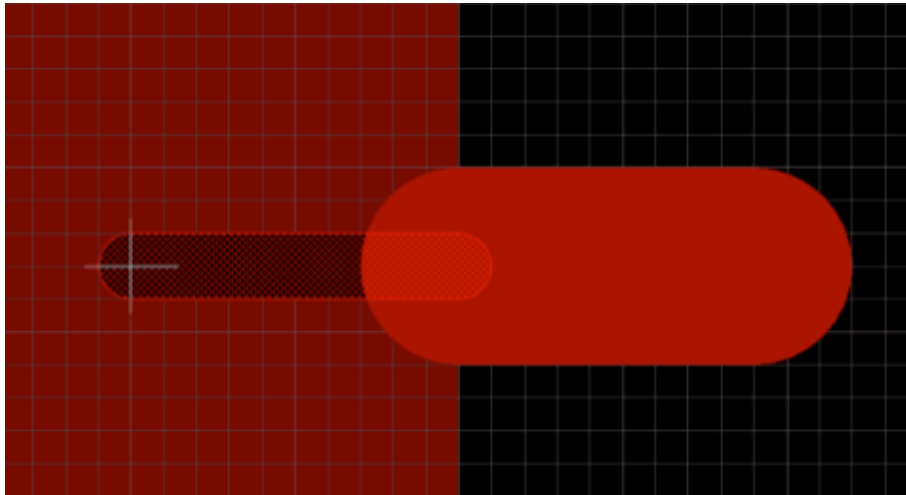
Priority	Name	Description	Fine	Coarse	Non Comp	Comp	
1	P	New Polar Grid	Imperial, Origin(0; 0) Steps(20; 5 Deg) Angles(<input type="checkbox"/>	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
2	C	New Cartesian Grid	Imperial, Origin(0; 0) Steps(15; 15)	<input type="checkbox"/>	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
Default	C	Global Board Snap Grid	Imperial, Origin(0; 0) Steps(5; 5)	<input type="checkbox"/>	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>

Menu OK Cancel Apply



Heute ist das Routing von BGAs sehr viel einfacher als in den vergangenen Jahren, da die meisten Software-Tools eine automatische Fan-Out-Funktion bieten. Es gibt jedoch noch einige Fälle, wo Benutzer bestimmte Abschnitte manuell routen müssen. Das intelligente Routing von Leiterbahnsegmenten hat ihren Ursprung in diesen Fällen, in denen das Routing manuell erfolgen musste. Altium Designer bietet eine intelligente Lösung, die es den Benutzern erlaubt, einen Abschnitt einer Platine zu definieren und spezielle Regeln anzuwenden, um sensible Bereiche zu berücksichtigen. Durch die Implementierung bestimmter Entwurfregeln für diese Regionen können sich Leiterbahnen innerhalb dieses Bereiches jetzt automatisch erweitern und zusammenziehen, wenn das Routing ein- bzw. austritt.

FLÄCHENSENSIBLER TEIL DER PLATINE



ZUSAMMENFASSUNG

Das Design mit BGA-Gehäusen ist keine leichte Aufgabe. Es erfordert eine Reihe von Entwurfsregelprüfungen, um sicherzustellen, dass der Abstand und die Breite für alle Bahnen richtig sind, sowie eine sorgfältige Untersuchung, wie viele Lagen benötigt werden, damit das Design gelingt. Im Zuge der rasanten technologischen Entwicklung verschärfen sich auch die Herausforderungen, denen sich Designer beim Routing auf engstem Raum gegenübersehen. Abhängig von der Größe des BGA-Gehäuses benötigen Benutzer die komplette Unterstützung durch die ihnen zur Verfügung stehenden Tools, um den Überblick zu behalten. Das raumbasierte Routing in Altium Designer bietet seinen Nutzern die volle Kontrolle über die innerhalb eines bestimmten Bereichs geltenden Restriktionen. Zudem bietet es eine Vielzahl an automatisierten Lösungen, wie die automatische Verjüngung für eine reibungslose Routing-Erfahrung.