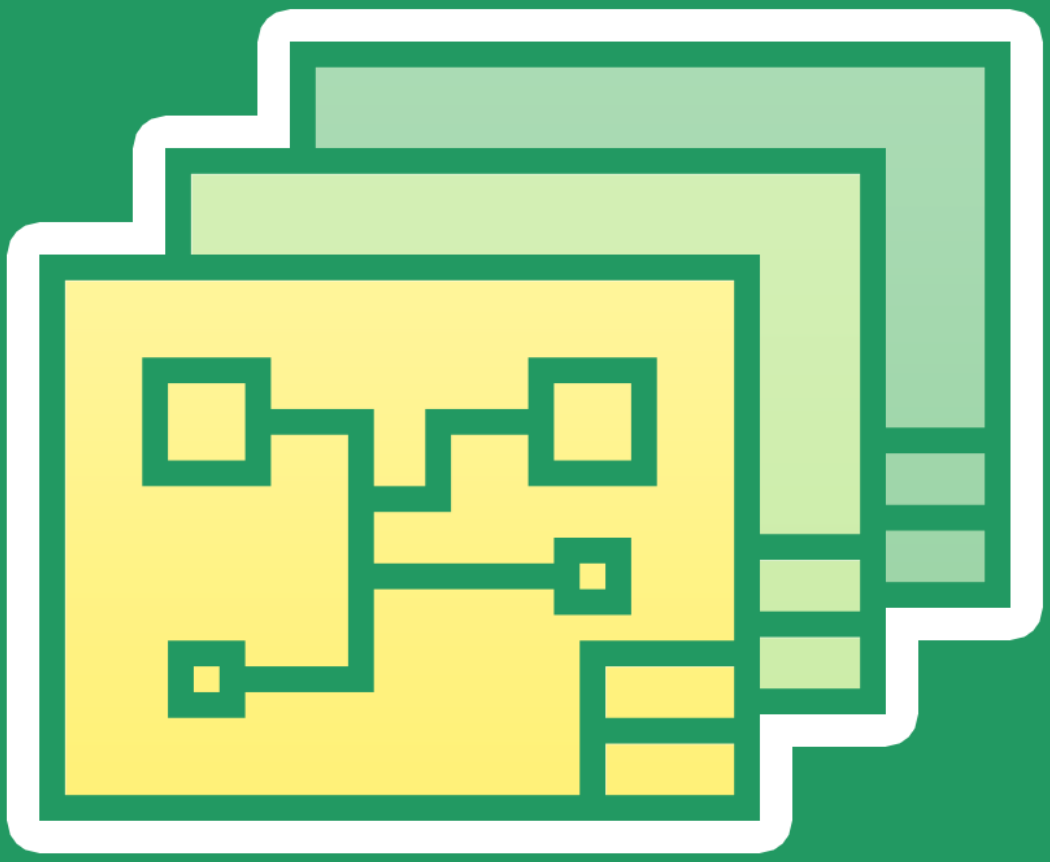
Altium®

VÉRIFICATION DES RÈGLES ÉLECTRONIQUES DES SCHÉMAS



Christian Keller
Applications Engineer

VÉRIFICATION DES RÈGLES ÉLECTRONIQUES DES SCHÉMAS

INTRODUCTION

Ce document technique traite une fonction souvent inconnue dans le processus de conception de circuits imprimés, afin de vous aider à concevoir correctement dès le premier coup. De nombreux concepteurs et entreprises concentrent tous leurs efforts sur le fait d'avoir une topologie adéquate au niveau du circuit et, récemment, sur la vérification par rapport aux contraintes mécaniques dynamiquement.

Mais que se passe-t-il si le schéma de base contient des erreurs ? En général, un concepteur doit vérifier la conception. Mais à mesure que la complexité augmente et que les délais se réduisent, les erreurs ont tendance à se glisser dans le processus. La vérification des règles électroniques (ERC) est une fonction capitale d'un outil de CAO électronique qui vous permet de repérer et d'éliminer les erreurs de vos schémas, en s'assurant qu'ils respectent des règles essentielles et le syntaxe.

COMMENT LA VÉRIFICATION DES RÈGLES ÉLECTRONIQUES (ERC) PEUT AIDER ?

La réponse est simple : si vous configurez des règles pour effectuer des vérifications spécifiques à votre conception, la vérification des règles électroniques (ERC) vous permettra d'identifier les problèmes afin de les corriger au plus tôt. Il est très rapide de configurer et d'effectuer des ERC – une fraction du temps que vous auriez passé à vérifier la conception manuellement. Ainsi, vous pouvez consacrer votre temps à la conception plutôt qu'à la vérification d'un travail déjà effectué.

L'une des façons d'utiliser les ERC consiste considérer deux catégories : d'une part, le syntaxe générale des schémas et, d'autre part, une matrice de connexions qui définit la connectivité, comme illustré à la figure 1.

La vérification du syntaxecouvre différents réglages comme l'utilisation des bus, des composants, des documents, des câbles, des nœuds, de connexion, des paramètres, etc.

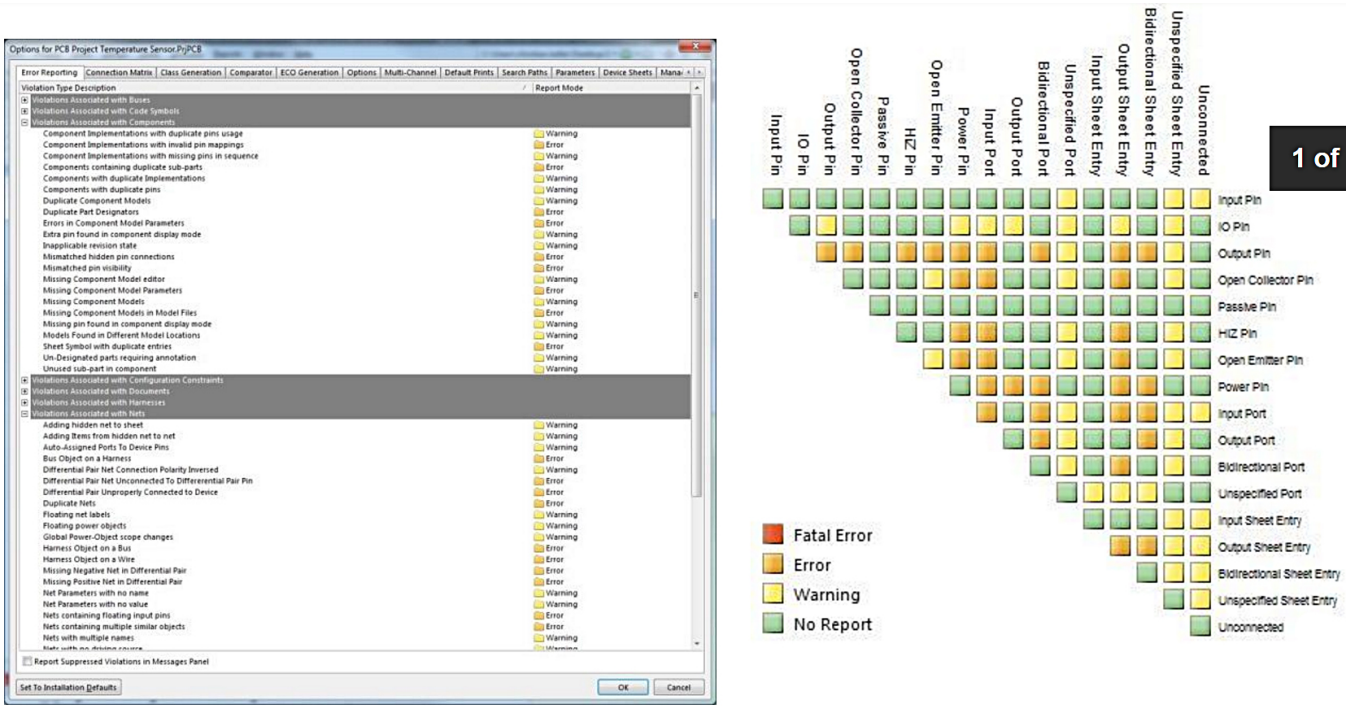


Figure 1 : Les ERC se distinque entre une vérification du syntax et une vérification de la connectivit.

VÉRIFICATION DES RÈGLES ÉLECTRONIQUES AU NIVEAU DES SCHÉMAS

Le syntaxe des schémas

À titre d'exemple de violations du syntaxe, le nom d'un un signale non connecté flottante (voir la figure 2). N'oublions pas de mentionner que des problèmes comme celui-ci ne sont pas toujours aussi évidents que dans cet exemple, surtout lorsqu'il s'agit de conceptions importées.

Cela signifie que la zone de syntaxe prend en compte toutes les vérifications concernant la manière de dessiner correctement un schéma, de la manière dont l'outil de conception s'attend à ce que ce soit fait.

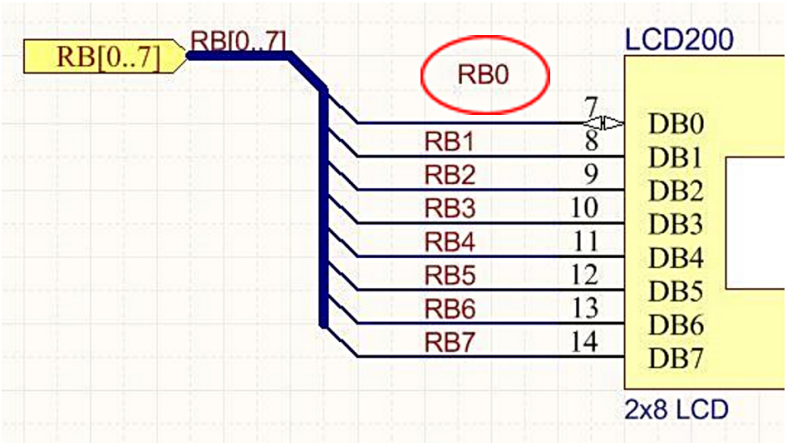


FIgure 2 : Une étiquette de net flottante est un exemple de problème de « grammaire ».

Vérification de la connectivité

Même si tout a été dessiné correctement, des vérifications basées sur la matrice de connexion doivent être faites. De cette façon, il est assez facile de vérifier les nœuds qui peuvent être répartis sur différentes pages du schéma et de passer en revue plusieurs niveaux hiérarchiques.

Une connexion directe est facile à vérifier. C'est plus compliqué lorsque plusieurs sorties sont connectées à une entrée, ce qui n'est normalement pas autorisé. Mais si les sorties sont gérées par une procédure de validation interne liée au composant, cette connexion peut être acceptable. La figure 3 montre un autre exemple d'un cas où un avertissement est généré.

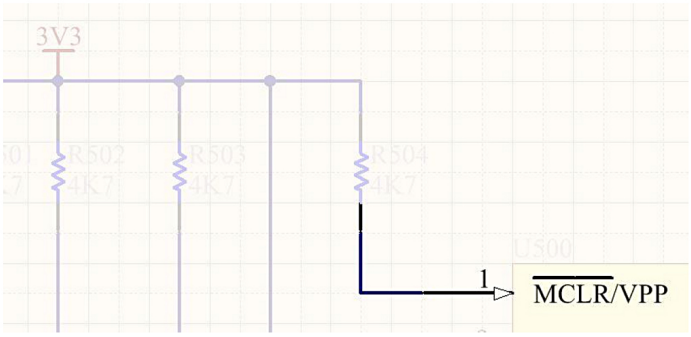


Figure 3 : Une entrée connectée à une résistance non commandée crée un avertissement ERC.

Une broche d'entrée connectée à la broche passive d'une résistance créera un avertissement ERC car l'entrée s'attend à la connexion d'un signal actif. Comment pouvons-nous résoudre cela ? Une façon consisterait à enseigner au système le comportement de la résistance en associant un modèle comportemental. Mais imaginez le travail si vous deviez le faire pour tout le schéma y compris les composants les plus complexes.

Au lieu de cela, vous pouvez neutraliser le système de vérification en plaçant des éléments appelés « NoERC» (pas de ERC) afin que le système ne crée pas d'avertissements supplémentaires. Les symboles NoERC peuvent aussi être utilisés pour des sorties non connectées afin de réduire le nombre de messages d'erreur.

CONCLUSION

Ce document technique vous donne une idée de ce que vous pouvez attendre d'un outil de conception moderne, concernant la vérification automatique des règles électriques au niveau des schémas.

Altium Designer propose une large gamme de routines de vérification qui permettent de vérifier un schéma après sa création, ou bien lors de la publication des fichiers de production.