

Altium[®]

高速設計とXSIGNAL

Michael Doyon

Sr. Field Application Engineer

高速設計とXSIGNAL

高速設計は、電気エンジニアが行う可能性がある業務の中でも最も難しいものの一つです。高速信号の応答はきわめて多くの要因から影響を受けます。一般的に、高速設計とはシステムクロック周波数の機能のことであると誤解されていますが、これは間違いであり、高速性を決定するのは、立ち上がり時間、PCBスタックアップによるインピーダンス低減、トレース幅、終端処理です。

エンジニアとPCB設計者にとって、スイッチング速度が速いということは次の2つのことを意味します。

シグナルインテグリティの問題

- 反射、クロストークなど。
- シグナルインテグリティの目標は、配線インピーダンスの低減、終端処理、PCBスタックアップなどにより達成されます。

タイミングに関する制約

- 多数の信号がほぼ同じタイミングで送信先のピンに到達するようにすること
- 信号経路の配線長さを揃えること

最も一般的なものの一つになったDDRx SDRAMを含む多くのアプリケーションにおいて、タイミングインテグリティは重要です。現在、この種の設計にはDDR、DDR2、DDR3、DDR4のうちの1つまたは複数が含まれています。DDRの設計には、タイミング規則に関する以下のような項目を含む長いリストがあります。

- アドレス/コマンドラインとクロックラインの差が ± 20 ミル以内であること
- アドレス/コマンドライン相互の差が ± 10 ミル以内であること
- データストロブ対の配線は差動対であること
- データストロブ対相互の差が ± 1 ミル以内であること
- データネットの差が ± 10 ミル以内であること
- その他多くの要素についてもインピーダンスとクリアランスの条件が守られていること

高速用配線では、配線トポロジー（接続形態）を適用することもきわめて重要です。ネットのトポロジーとは、ピン間接続の配置またはパターンのことです。既定では、各ネットのピン間接続は、合計接続長が最も短くなるように配置されます。トポロジーがネットに適用される理由はさまざまです。信号反射を最小限に抑えることが要求される高速設計の場合、ネットはデイジーチェーントポロジーを使用して構成されます。これに対しグラウンド用のネットの場合は、すべてのトラックが共通の点に戻ってくるようにスター型トポロジーが適用される場合があります。

DDR2には(状況によってはDDR3にも)、「Balanced-T」または「Branch Matched」トポロジーが使用される場合があります。DDR3とDDR4には「フライバイ」トポロジーが使用されます。「フライバイ」トポロジーでは、反射をなくすため、アドレス/制御/クロック信号が1つのSDRAMから次のSDRAMに順番に配線されていきます。この配線トポロジーの方がはるかに単純です。メモリコントローラーが固有の遅延を補償しますが（読み出し/書き込みレベリング）、それでもやはりチップ間でアドレスライン/制御ラインに差があってはなりません。

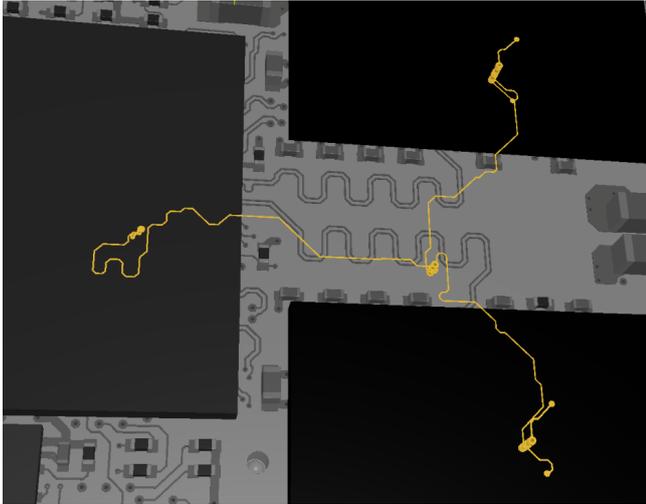


図1: ADDR15 xSignalの1つの配線元ピン（左）は2つの配線先ピンに接続され、2つの専用経路を形成する

データラインには別の問題があります。すべてのデータラインは、目標長さ \pm 許容誤差になるように平行して調整する必要があります。また、これらは終端抵抗を通らなければならず、多くの場合は接続元パッドと最後の接続先パッドの間の複数のビアも通らなければなりません。多数のセグメントと終端抵抗があると、すべてのデータラインのネット全体の長さを調整することがきわめて難しくなります。それに加え、パッドから基板までのコンポーネントの個々のピンの遅延があります。きわめて高速な設計では、これらも考慮する必要があります。このように、エンジニアやPCB設計者が高速配線を設計する際には多くのことを考慮しなければならず、簡単な作業で済むことはありません！

従来の方法

これまで、エンジニアが長さの微調整を行う際にネットの個々のセグメントの長さ、ビアの深さ、抵抗の長さ、ピンの長さを記録するためには、すべての項目をスプレッドシートに記録するしか方法がありませんでした。こうして各ネットごとにこれらの項目をすべて追加し、さらに必要に応じてグループ内のすべてのネットの長さが均一になるように必要に応じていくつかの信号の長さを伸ばすのです。これは、長さを揃える方法としてはきわめて時代遅れで厄介であり、時間がかかります。

ALTIUMの方法 - XSIGNALとXSIGNALウィザードの導入

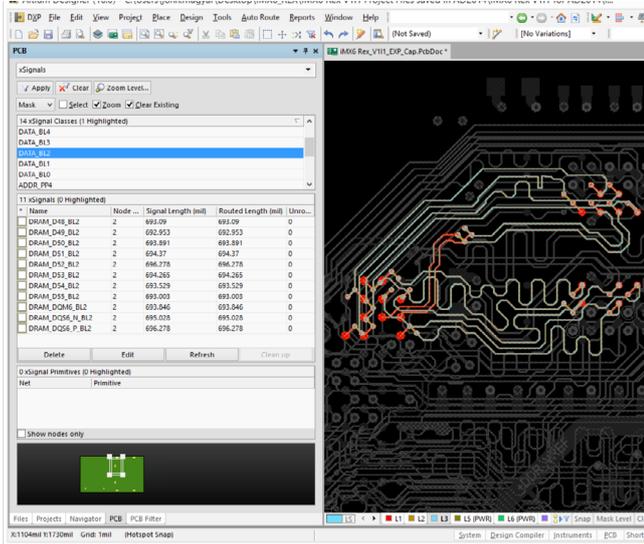
XSIGNALS

XSignalとは？ XSignalは、基本的には設計者が定義した2つのノード間の信号経路です。この場合のノードは、同じネット内の2つのノードであっても、コンポーネントにより分離された関連するネットに属する2つのノードであっても構いません。こうして定義されたXSignalを使用して、長さ、あるいは長さの一致など、関連するデザインルールを探し、インタラクティブに長さを微調整するなどの設計時にはこの規則に従います。

- XSignalは、配線の長さを揃えてタイミングを調整するために使用されます
- XSignalは、複数のネットを結合して1つの論理パスを形成します
- XSignalでは、中間の受動要素は無視されます
- XSignalは、連続的なネットを物理的なサブネットに分割します
- Signalは、Balanced-Tトポロジーとフライバイトポロジーをサポートします
- XSignalウィザードを使用すると、自動的にXSignalを生成してXSignalクラスに割り当てることができます
- こうしておくと、インタラクティブな微調整プロセスでデザインルールに則った長さに確実に揃えられます。
- XSignalでは差動対の長さの微調整がサポートされます
- XSignalは、たとえば抵抗値 34Ω のトラックの直列抵抗など、終端抵抗の長さの微調整をサポートします。

XSignalウィザード

技術的知見に基づいて作られているXSignalウィザードを使用すると、XSignalを自動的に容易に生成することができます。XSignalウィザードで最初にサポートされたテクノロジーが、DDR3、DDR4メモリです。



これらのモードのとき、ウィザードは、XSignal、XSignalクラス、長さを揃えるグループ、差動対の長さ揃えの規則、オンボードDDR3/4のフライバイポロジを自動的に生成します。

ウィザードでは、フライバイ配線トポロジーが使用されることを想定しています。また、ウィザードには各バイトレーンのデータバス幅の設定機能も含まれています。さらに、以下の要素に関して作成されるネットの長さ揃え規則の許容誤差の設定機能も含まれています。

- アドレス/コマンド/制御ネット
- データバイトレーン
- クロック

図2: 自動的に生成された、すべてのバイトレーンに固有なデータのxSignalにおけるxSignalクラス

ALTIUM DESIGNERにおけるピンパッケージの遅延への対応

500MHzを超えるあらゆる高速設計では、ダイへの接続媒体またはボンディングワイヤが信号遅延の原因になります。このデバイス内の遅延のことをピンパッケージ遅延と言い、

これに対処する必要があります。ピンパッケージの長さは、回路図コンポーネントのピンの属性として定義できます。長さの値はプリント基板レイアウトに転送され、フットプリントパッドのピン/パッケージの長さになります。ピン/パッケージの長さは、XSignalの定義の一部として信号の長さの計算に自動的に含まれます。



図3: ピン/パッケージの距離はコンポーネントの回路図の記号の属性として指定できます (画像引用元: サムスン)