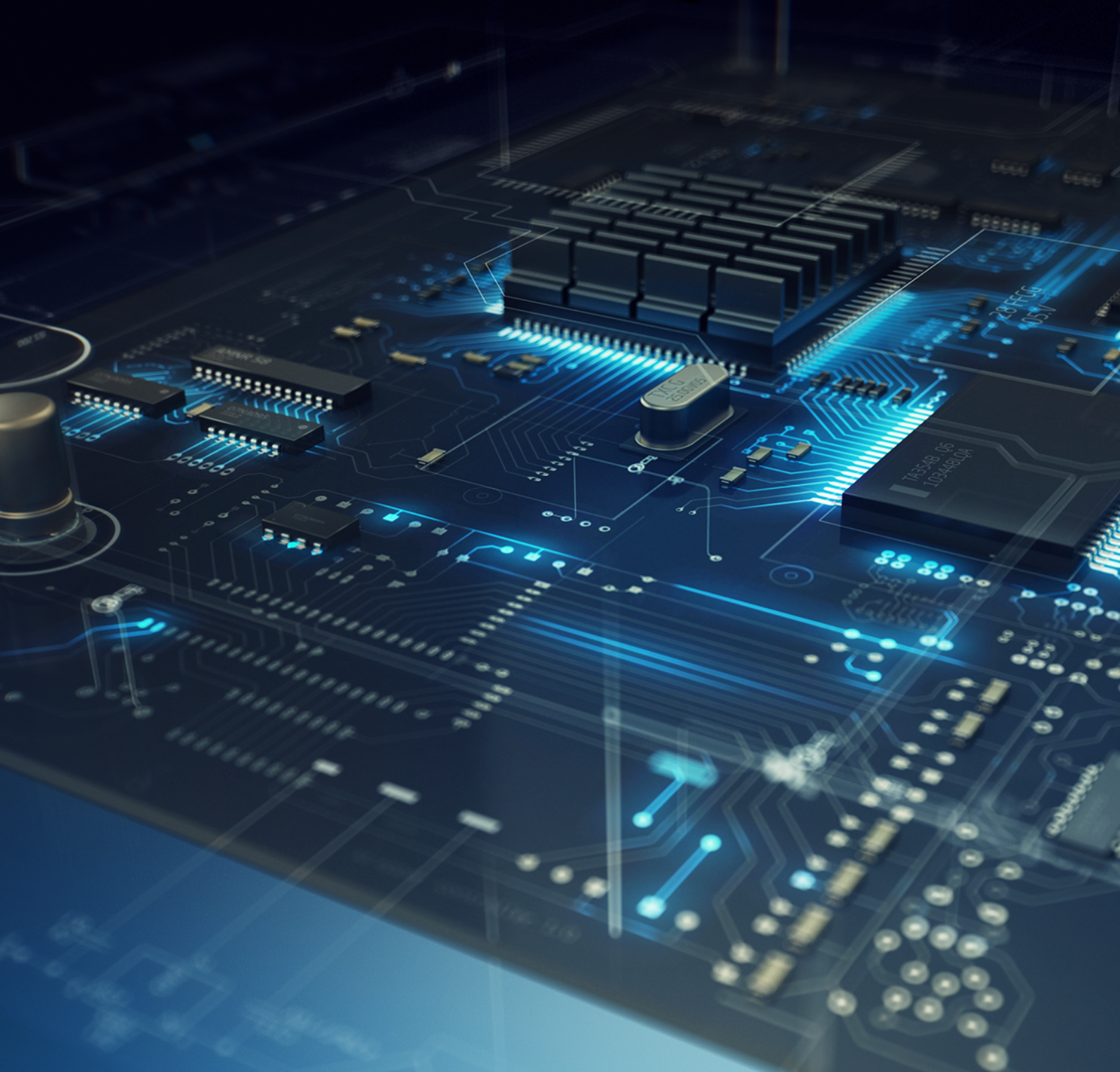


Altium[®]

MIGRATION GUIDE

멘토에서 Altium Designer로 변환





목차

1. ALTIUM DESIGNER의 철학

2. 파일 준비하기

- 임포터 설치
- 지원되는 파일 형식 및 버전
- ASCII 파일 생성
- 데이터 무결성

3. 회로도 변환

- 회로도 불러오기 과정
- 회로도 클린업

4. PCB 변환

- PCB 불러오기 과정
- PCB 설계 클린업

5. 부품 라이브러리 변환

- 부품 라이브러리 불러오기 과정
- 회로도 심볼 라이브러리 클린업
- 풋프린트 라이브러리 클린업

6. 회로도와 PCB 동기화하기

- 프로젝트 관리
- 동기화
- ECO

7. ALTIUM DESIGNER의 다음 단계

ALTIUM DESIGNER의 철학

Altium Designer는 “PCB 설계에 대한 단일화된 접근법”이라는 핵심 테마를 바탕으로 태어났습니다. Altium의 툴은 설계에 대한 접근법에 있어 다른 일반적인 툴과 다릅니다. Altium의 작업 과정은 PCB 설계를 완성하는 데 필요한 분리된 연결된 요소들 전체를 통합합니다.

PADS®를 사용해 오셨다면 설계 과정의 각 단계별로 여러 툴과 인터페이스를 사용해야 하는 환경에 익숙해졌을 수도 있습니다. 이 툴들은 각각의 전문 분야에서 뛰어난 도구이지만 결국 사용자는 각기 다른 인터페이스, 작업 과정, 방법론을 다루어야 합니다. Altium에서 오랫동안 던져온 질문은 단순합니다 - PCB 설계에 대한 접근법이 효과적이냐는 것입니다.

Altium Designer를 처음 개발할 당시 우리는 엔지니어가 전체 설계 과정에 걸쳐 효율성과 작업 흐름을 완전히 제어할 수 있는 통합 설계 경험을 제공하고자 했습니다. 이 목표를 달성하기 위해서는 “완벽한 PCB 설계 경험”이라는 개념이 엔지니어의 일상적인 업무에 무엇을 수반하는 지 이해해야 했습니다. PCB 설계에 대한 통합된 접근법의 일환으로 우리는 다음의 과정을 Altium Designer의 단일한 인터페이스에 연동시켰습니다.

- 회로도 그리기
- 기판 설계
- 데이터 관리
- 규칙과 조건
- 재료 명세서(BOM)
- 공급망 통합
- ECO 변경 관리
- MCAD 협업
- 생산 문서화 출력

이러한 요소를 모두 단일화된 인터페이스에 통합한 후에는 업무 간 전환 과정이 설계 업무공간 내에서 작업할 적절한 파일을 선택하는 것만큼 간단해졌습니다. 그 다음으로 이 통합 인터페이스는 남은 작업을 모두 처리하고 진행 중인 특정 작업에 필요한 도구를 제공합니다.

30년 이상 PCB 설계 관련 연구개발을 해 온 당사는 PCB 설계에 대한 이러한 통합 접근법이 전자 기기를 설계하는 가장 효율적인 방식임을 깨달았습니다. 이 철학은 각 엔지니어 뿐만 아니라 전체 설계팀에도 적용됩니다. 한 인터페이스 내에서 여러 엔지니어가 편리하게 한 프로젝트에 참여할 수 있으며 설계 환경 간에 설계 데이터를 변환하느라 시간을 낭비할 필요도 없습니다.



Altium Designer의 세계를 향한 여정을 즐기시기를 바랍니다.
수석 현장 애플리케이션 엔지니어 및 Altium Designer Team 팀원 David Cousineau

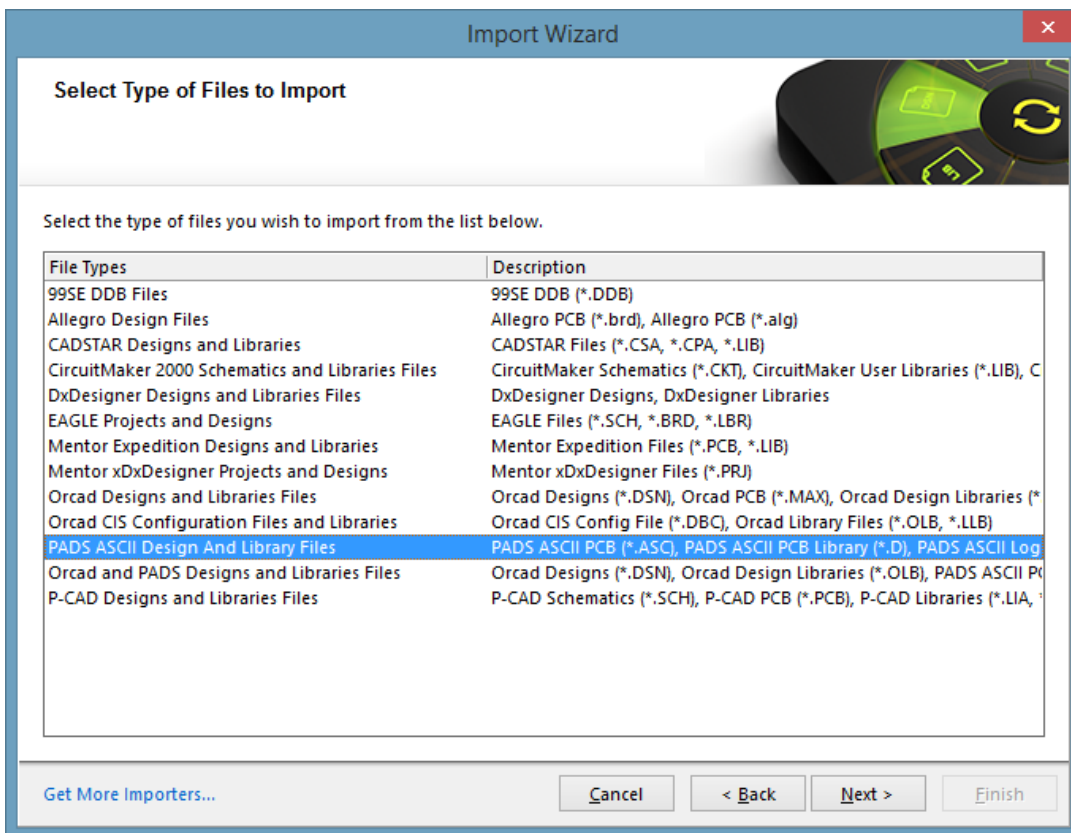
파일 준비하기

IMPORT WIZARD 설치

PADS® 파일 준비를 시작하기 전에 먼저 PADS® 임포터를 설치해야 합니다. 이는 Altium Designer에서 바로 가능합니다. 다음 단계를 통해 설치해 주십시오.

1. Altium Designer를 실행합니다.
2. **File » Import Wizard**를 선택합니다.
3. 시작 화면에서 **Next**를 선택합니다.

다음 화면인 '볼러올 파일의 종류를 선택하세요'에 설치된 임포터가 표시됩니다.

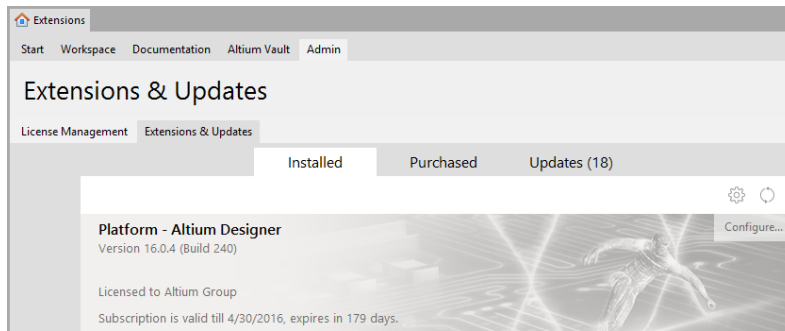


Altium Designer Import Wizard 파일 유형 선택

Altium Designer 설치 중에 설치할 임포터와 익스포터를 선택할 수 있습니다. 기본값으로 PADS® 변환기는 설치에 선택되어 있지 않습니다.

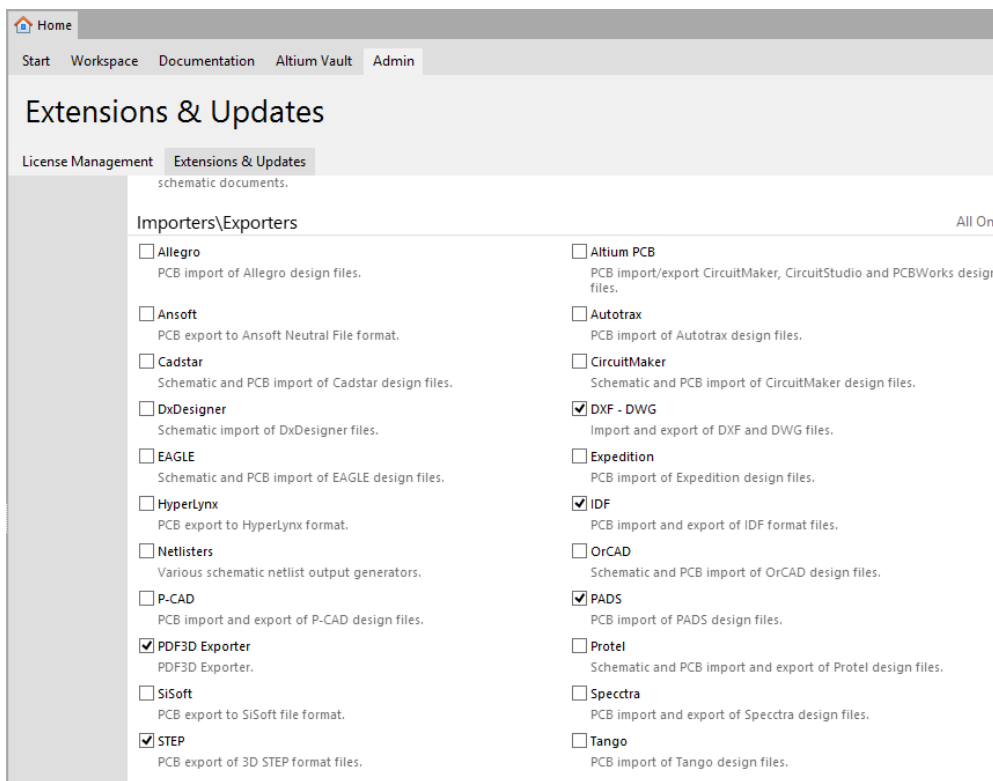
'PADS ASCII Design and Library Files' 항목이 위의 임포터 목록에 없을 시에는 다음과 같이 추가해 주십시오.

1. Import Wizard 대화상자의 좌측 하단에서 **Get More Importers...**를 선택합니다. Altium Designer 환경 내에 **Extensions & Updates** 탭이 열립니다.
2. 우측의 **Configure**를 선택하고 Importers\Exporters 섹션으로 스크롤을 내립니다.



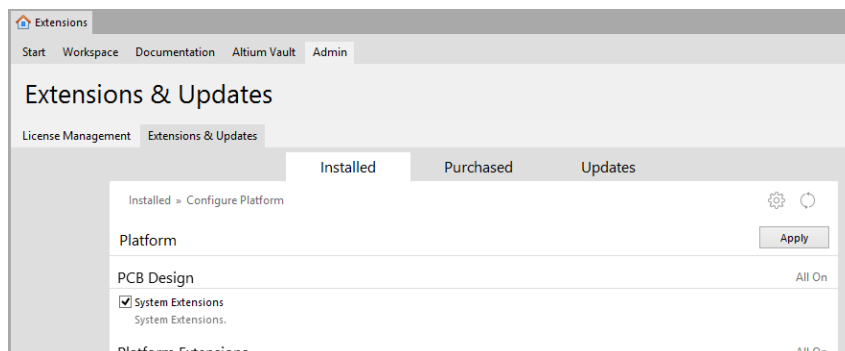
Altium Designer 확장 및 업데이트 섹션

3. PADS 옆의 박스에 체크해서 이 Extension을 활성화합니다.
4. 위로 스크롤하여 **Apply**를 클릭하여 설치를 완료합니다(Altium Designer를 재시작해야 합니다).



Altium Designer Extension 및 업데이트 섹션에서 PADS® 임포터 활성화하기

5. **File » Import Wizard**를 선택하여 PADS® 임포터가 추가되었는지 확인합니다.



Altium Designer에 임포터가 추가되었으므로 이제 불러오기 과정으로 PADS® 파일을 불러올 수 있습니다.

지원되는 PADS® 버전 및 파일 포맷

Altium Designer용 PADS® Import Wizard는 다양한 파일 버전을 지원합니다. 아래와 같은 최신 버전의 PADS® 파일을 사용하는 것이 좋습니다.

- **PADS® Logic/PowerLogic** – V5.2, V2005.x, V9.x(V9.5까지)
- **PADS® Layout/PowerPCB** – V5.0, V2005.x, V2007.x, V9.x(V9.5까지)

Import Wizard를 사용할 때는 다음을 염두에 두십시오.

- Import Wizard는 회로도, PCB, 라이브러리 파일을 변환합니다.
- 이 마법사를 사용하려면 전체 파일 유형의 ASCII 텍스트 버전이 있어야 합니다.
- 원본 PADS® 바이너리 파일(예: 보드 파일의 경우 '*.pcb')을 불러오기 원본으로 사용하지 못할 수 있습니다.

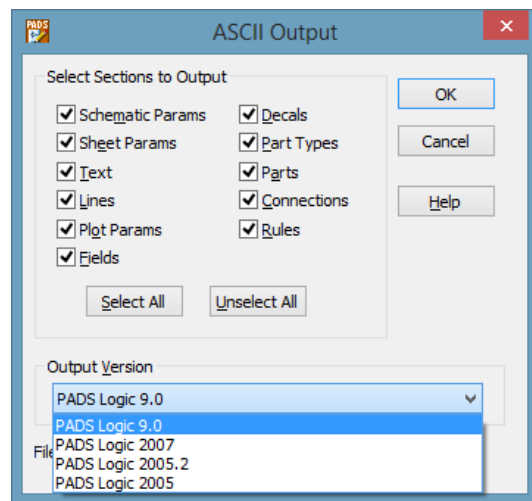
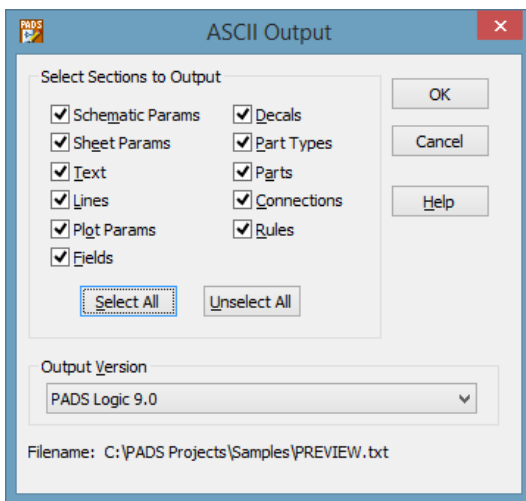
보관된 파일의 ASCII 버전이 없을 시 유효한 PADS® 라이선스가 있어야 먼저 필요한 파일을 생성할 수 있습니다. 각 에디터의 ASCII 생성 과정의 세부 정보는 아래에서 볼 수 있습니다.

ASCII 파일 생성

PADS® LOGIC

회로도를 먼저 ASCII 기반 '.txt' 파일로 내보내야 합니다. 이는 다음과 같이 할 수 있습니다.

1. PADS® Logic에서 회로도 파일을 여십시오.
2. **File » Export**를 선택합니다.
3. 필요시 파일명 및/또는 폴더 경로를 변경하고 **Save**를 클릭합니다.
4. 다음 대화창에서 **Select All** 버튼을 눌러 전체 회로도 데이터를 포함시킵니다.
5. Output Version 드롭다운 박스에서 원하는 출력 버전을 선택하십시오.
6. **OK**를 클릭하면 파일이 생성됩니다.

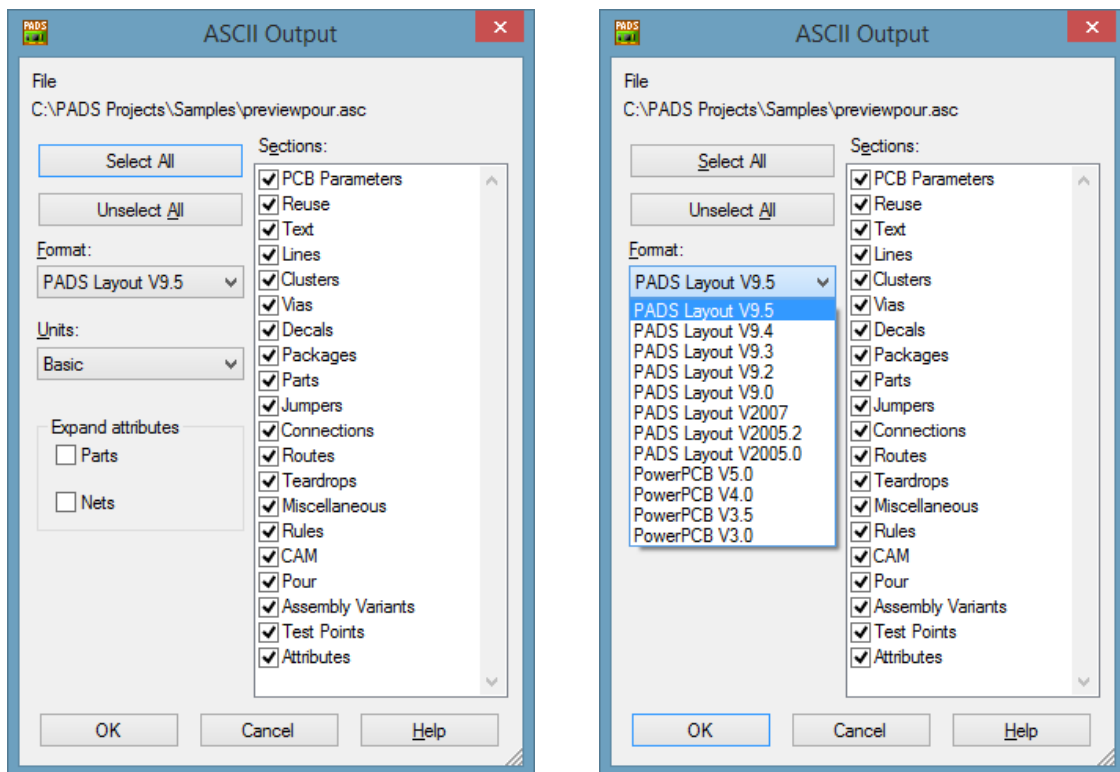


PADS® Logic에서 회로도에 대한 ASCII 파일 생성하기

PADS® LAYOUT

설계는 ASCII 기반 파일(‘.asc’)과 유사하게 내보내야 합니다. 이는 다음과 같이 할 수 있습니다.

1. PADS® Layout에서 보드 레이아웃을 여십시오.
2. **File » Export**를 선택합니다.
3. 필요시 파일명 및/또는 폴더 경로를 변경하고 Save를 클릭합니다.
4. 다음 대화창에서 Select All 버튼을 눌러 전체 PCB 데이터를 포함시킵니다.
5. Output Version 드롭다운 박스에서 원하는 출력 버전을 선택하십시오.
6. Unit는 **Basic**으로 설정해야 합니다.
7. **OK**를 클릭하면 파일이 생성됩니다.



PADS® Layout에서 도면 레이아웃에 대한 ASCII 파일 생성하기

PADS®의 Physical Design Reuse 블록은 변환할 수 없습니다. PADS 설계에 이 블록이 있을 시에는 먼저 기본 객체로 분할해야 합니다. 이는 PADS® 레이아웃에서 재사용 블록을 선택하고 마우스 오른쪽 버튼 메뉴에서 **Break Reuse**를 선택하면 가능합니다.

PADS® LOGIC 회로도 심볼 라이브러리

PADS® Logic 회로도 심볼 라이브러리를 변환하려면 PADS®에서 2개의 ASCII 기반 파일을 내보내야 합니다. PADS® 회로도 심볼은 CAE 또는 Logic 섹션의 데이터(기본적으로 부품의 그래픽적 표현)와 부품 섹션의 데이터(부품의 매개변수적 “정보”가 담긴 영역) 등 2가지 부분으로 구성됩니다.

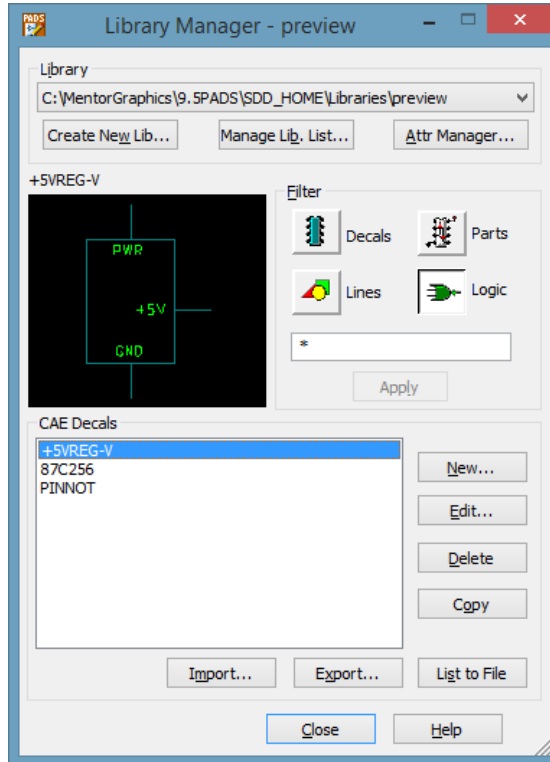
PADS® 라이브러리 구조는 CAE 데칼에 대해 '.ld9' 확장자로, 부품에 대해서는 '.pt9' 확장자로 이 섹션을 저장합니다. 이는 원본 바이너리 파일이며, 변환하려면 먼저 ASCII로 저장해야 합니다. 해당하는 ASCII 파일명은 다음과 같습니다.

The corresponding ASCII file names are:

- .ld9 (바이너리): .c (ASCII)
- .pt9 (바이너리): .p (ASCII)

라이브러리를 ASCII 포맷으로 내보내려면 다음과 같이 진행하십시오.

1. PADS® Logic을 실행합니다.
2. **File » Library**를 선택하여 Library Manager를 실행합니다.



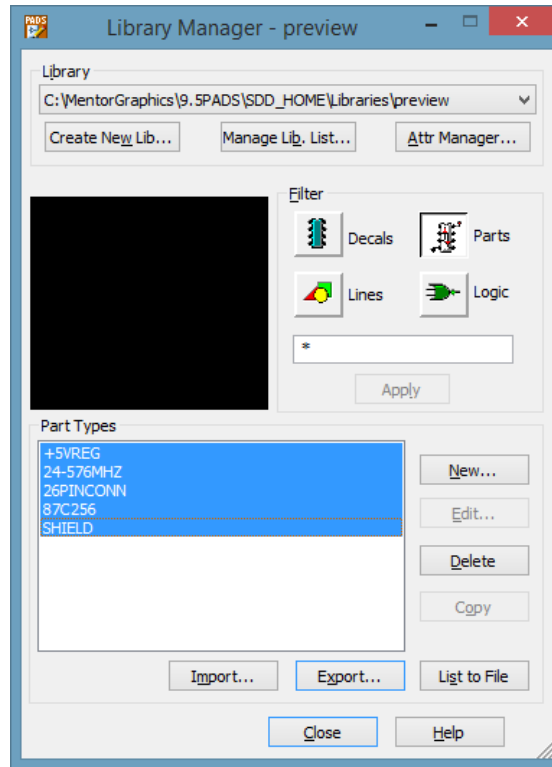
PADS® Logic 라이브러리 관리자

3. 라이브러리 필터를 설정하여 원하는 라이브러리를 지정합니다(전체 라이브러리 설정으로는 내보낼 수 없습니다).
4. 필터를 **Logic**으로 설정하여 라이브러리의 CAE 섹션을 선택합니다.
5. 'CAE 데칼' 목록에서 내보낼 데칼을 모두 선택합니다(팁: 전체 목록을 선택하려면 첫 항목을 클릭하고 끝까지 스크롤한 후 마지막 항목을 **Shift+**클릭합니다).

참고하세요: ".c"와 ".p" 파일에 이름을 붙일 시에는 기본 파일명이 동일해야 합니다. 이를테면 본 예시의 라이브러리 파일의 경우에는 파일명이 "preview.c"와 "preview.p"입니다.

6. **Export** 버튼을 눌러 ".c" 확장자 파일을 생성합니다.

7. 라이브러리 관리자 대화창을 그대로 두고, 필터를 **Parts**로 변경하고 원하는 부품을 선택한 다음 “.p” 확장자 파일을 내보내는 과정을 반복합니다.



PADS® Logic 라이브러리 관리자에서 부품 유형 선택하기

Import Wizard는 파일 변환 시 '.c' 파일의 그래픽 데이터와 '.p' 파일의 핀, 속성 등의 데이터를 결합하여 '.SchLib' 확장자를 갖는 하나의 Altium Designer 회로도 라이브러리 파일을 생성합니다. 자세한 내용은 “부품 라이브러리 변환하기” 섹션에서 볼 수 있습니다.

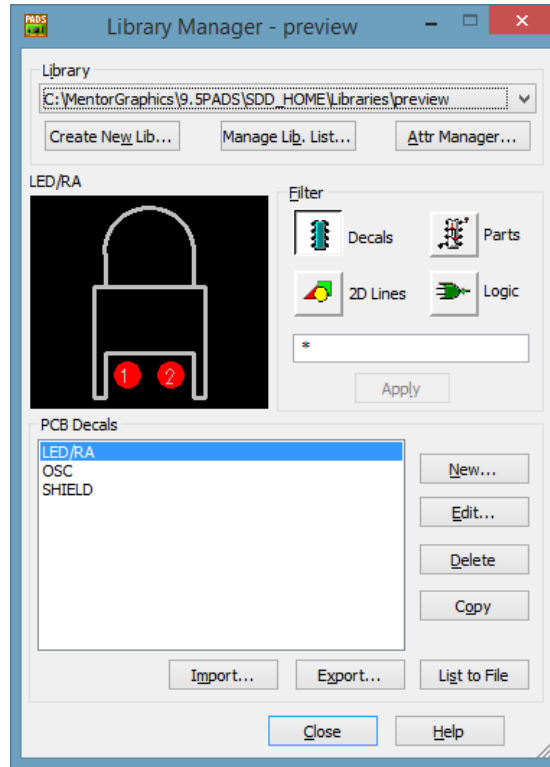
PADS® PCB DECAL 라이브러리

PADS® PCB Decal(또는 풋프린트)을 내보내려면 PADS® 데칼 라이브러리와 Altium Designer 풋프린트 라이브러리가 1대 1로 대응하므로 단 하나의 파일 유형만 필요합니다. PADS® 라이브러리 구조는 데칼을 '.pd9' 확장자 파일로 저장합니다. 이는 원본 바이너리 파일이며, 변환하려면 먼저 ASCII로 저장해야 합니다. 해당하는 ASCII 파일명은 다음과 같습니다.

- .pd9 (바이너리): .d (ASCII)

PADS® PCB 데칼 또는 풋프린트 섹션을 내보내려면 다음과 같이 진행하십시오.

1. PADS® Layout에서 **File » Export**를 선택합니다.
2. 라이브러리 필터를 설정하여 원하는 라이브러리를 지정합니다(전체 라이브러리 설정으로는 내보낼 수 없습니다).
3. 필터를 Decal로 설정하여 라이브러리의 PCB 데칼 섹션을 선택합니다.
4. PCB 데칼 목록에서 내보낼 데칼을 모두 선택합니다(팁: 전체 목록을 선택하려면 첫 항목을 클릭하고 끝까지 스크롤한 후 마지막 항목을 Shift+클릭합니다).
5. Export 버튼을 눌러 “.d” 확장자 파일을 생성합니다.



PADS® Logic 라이브러리 관리자에서 PCB 데칼 선택하기

Import Wizard에서 “.PcbLib” 확장자를 갖는 Altium Designer 풋프린트 라이브러리를 생성할 시에는 ‘.d’ 파일만 사용합니다.

참고하세요: PADS® 라이브러리 구조의 2D 라인 섹션(.In9)은 직접 변환할 수 없으므로 내보낼 필요가 없습니다. Altium Designer는 PADS®와 같이 2D 드로잉 항목을 라이브러리 구조에 저장하지 않으므로 해당하거나 동일한 라이브러리 파일이 없습니다. 2D 항목을 변환해야 하는 경우에는 개별 항목을 PADS® 회로도 또는 PCB에 추가한 다음에 변환해야 합니다..

데이터 무결성

변환기는 원본 데이터가 허용하는 범위 내에서만 유용하다는 점을 잊지 않아야 합니다. PADS® 파일의 원본 데이터가 손상되어 있는 경우가 많습니다.

이런 경우에는 손상된 파일을 PADS® 프로그램에서는 발견하지 못할 수 있습니다. 하지만 본 과정에서 필요한 대로 데이터를 ASCII로 내보낼 시에는, 정보 포맷의 어떤 예외 상황으로 인해 임пор터가 오류를 일으킬 수 있습니다. 이는 지금까지의 가장 큰 변환 오류입니다. 이러한 상황이 발생하면 PADS®는 원본 데이터의 손상 여부를 상대적으로 단순한 방법으로 확인합니다.

원본 데이터의 손상 여부를 파악하려면 PADS®의 빈창에서 ASCII 파일을 다시 불러옵니다. 이 데이터를 불러오면 PADS®는 ASCII의 파일을 재구성하려 시도하며 “정상적이지 않은” 데이터를 감지하면 이를 버리고 오류를 기록합니다.

PADS® 사용자들은 이 과정을 “ASCII-ing in”이라고 부릅니다. 이를테면 PADS® Layout 설계에서 ‘.asc’ 를 생성한 후 **File » New** 를 선택하여 빈 설계 파일을 생성합니다. 그리고 **File » Import**를 선택하여 새로 생성한 ‘.asc’ 파일을 여십시오.

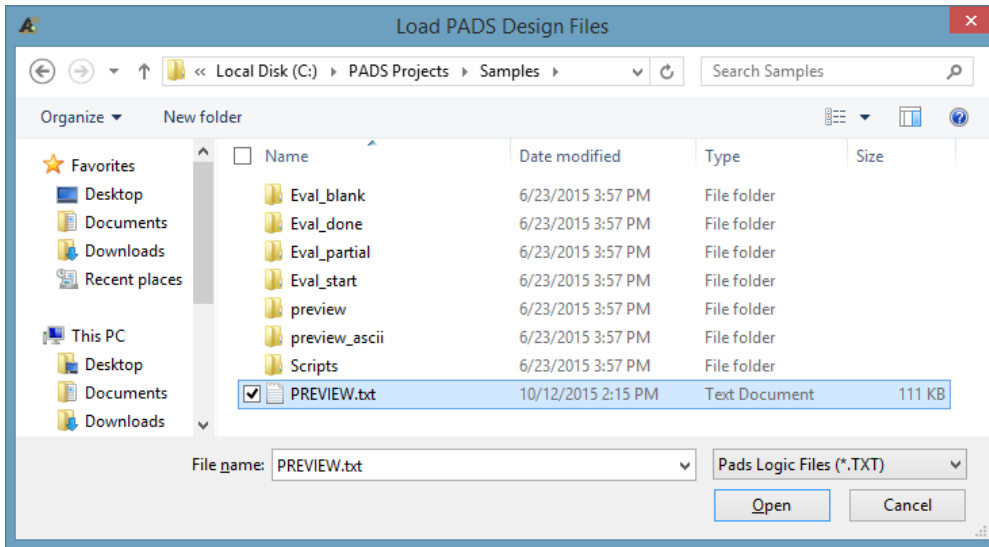
ASCII 파일에 오류가 없을 시 PCB는 원래와 같이 표시되어야 합니다. 하지만 문제가 있을 시에는 PADS® 환경 하단의 Output Window에 이 문제가 기록되며 추가로 조사할 수 있도록 오류 로그가 생성됩니다. PADS® 관련 문제를 해결한 경우에만 새 ASCII 파일을 Import Wizard에서 사용할 수 있도록 생성할 수 있습니다.

회로도 변환

회로도 불러오기 과정

PADS® Logic 회로도를 불러오는 실제 과정은 단순하면서 직관적입니다. 다음과 같이 진행하십시오:

1. Altium Designer에서 **File » Import Wizard**를 선택합니다.
2. 시작 화면에서 **Next**를 선택합니다.
3. 파일 유형에서 “PADS® ASCII Design and Library Files(설계 및 라이브러리 파일)” 항목을 선택한 후 **Next**을 눌러 계속합니다.
4. **Add**를 눌러 PADS® 설계 파일을 불러옵니다(이 화면의 기본 설정은 ‘.asc’ 확장자를 갖는 PADS® Layout 파일을 찾는 것입니다).
5. 우측 하단의 드롭다운 메뉴를 “PADS® Logic Files (*.txt)”로 변경한 후 내보낸 PADS® Logic 파일의 위치로 이동합니다.



Altium Designer Import Wizard에서 PADS® 설계 파일 불러오기

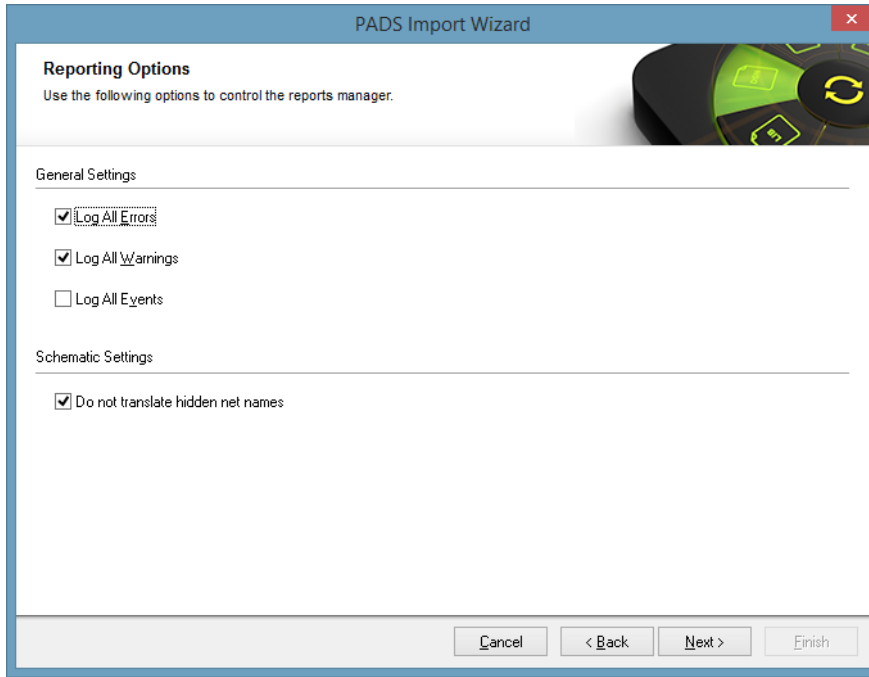
이 대화창에서는 여러 파일을 선택하여 변환할 수 있습니다. 파일이 다른 폴더에 있을 시에는 **Add** 버튼을 다시 누른 다음 파일을 추가할 폴더로 이동합니다.

참고하세요: PADS® Logic 파일과 PADS® Layout 파일을 한 세션 내에서 변환할 수도 있습니다. **Add**를 선택한 후 파일 유형을 Layout 파일을 위한 “PADS® Design Files (*.asc)”로 변경하면 됩니다.

6. **Next**를 선택하여 Import Wizard를 계속 진행합니다.
7. Reporting Options(보고 옵션) 화면에서는 ‘Do not translate hidden net names’을 활성화하는 것이 좋습니다.

참고하세요: 회로도 소프트웨어 시스템은 모두 Net 이름을 사용자가 정의하지 않은 Net 이름으로 할당하는 방식을 지원합니다(이들테면 CLK 또는 GND와 같이 구체적인 이름이 없는 Net). PADS® Logic은 이렇게 시스템에서 생성된 Net 이름을 “\$\$\$”으로 시작하는 이름으로 처리한 다음 무작위로 생성된 수열을 부여합니다(예: \$\$\$16581).

Altium Designer는 이와 다른 방식으로 Net 이름을 자동 생성하며(“Net”이라는 접두어를 붙이고 연결된 부품의 핀 번호 부여, 예: NetC1_1), Altium Designer가 이렇게 이름이 없는 Net의 기록을 자체적으로 유지하게 두는 것이 좋습니다. 이 방식의 가장 큰 단점은 “\$\$\$”와 같은 Net 라벨을 Altium Designer로 불러오게 되면 회로도 페이지에서도 그대로 노출되어 혼란을 일으키거나 연결 문제까지 일으킬 수 있다는 점입니다.



PADS® Import Wizard에서 Report 옵션 구성하기

8. **Next**를 클릭하여 변환 대상과 파일이 저장되는 폴더를 요약하는 리뷰 페이지로 이동합니다.

9. 'Project Output Directory'는 기본값으로 선택한 파일이 있던 폴더로 지정되거나 여러 폴더에서 파일을 불러온 경우에는 빈 값이 됩니다.

참고하세요: 변환 결과(이를테면 생성된 Altium Designer 파일)는 Output Directory 아래의 새 폴더에 저장되므로 변환된 데이터에 대해 새 폴더를 만들 필요는 없습니다.

10. 이제 **Next**를 클릭하면 변환 과정이 시작됩니다. 변환에 소요되는 시간은 설계의 개수와 크기에 따라 작은 설계 파일의 경우 몇 초에서 큰 파일의 경우 몇 분까지 달라집니다. 과정이 완료되면 "Complete" 화면이 나타납니다. **Finish**를 클릭하여 이 화면을 닫고 변환된 회로도들을 검토합니다.

회로도 클린업

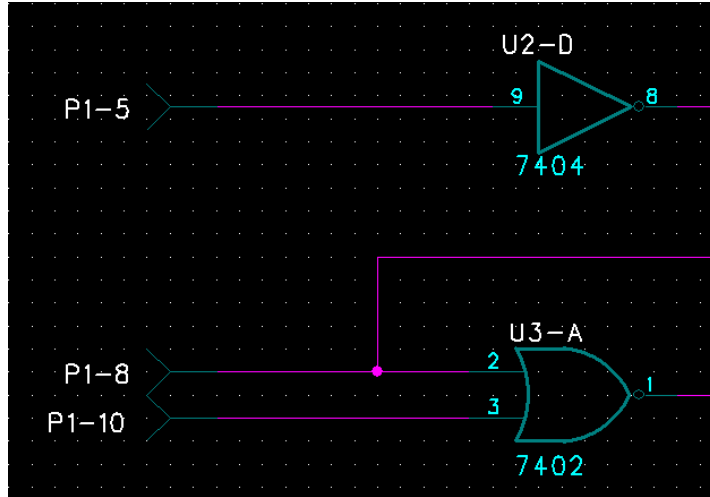
클린업은 항상 조금씩이라도 해야 합니다. 이는 보통 두 CAD 시스템의 데이터 구조간 비호환성 또는 특정 기능 또는 객체 유형의 구현 방식 간의 차이로 인한 것입니다.

본 섹션에서는 검사해야 하는 변환된 회로도의 일반적인 부분을 다룹니다. 본 섹션과 이후의 클린업 섹션에서는 사용자가 Altium Designer의 기본 사용법을 알고 있는 것으로 가정합니다. Altium Designer의 기본 사용법은 [Getting Started with Altium Designer](#)에서 볼 수 있습니다.

커넥터

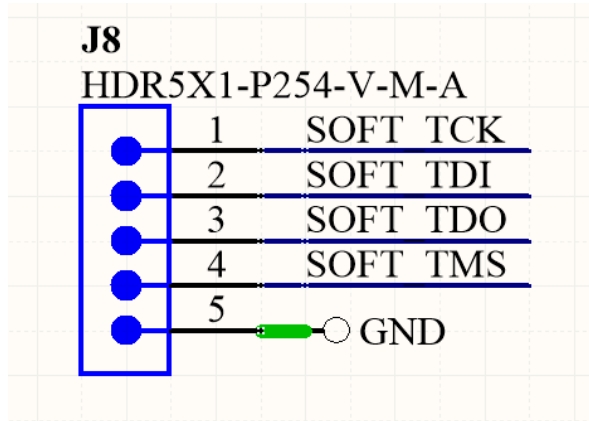
PADS® Logic과 Altium Designer의 주요 차이점으로는 Altium Designer의 커넥터 부품에 대한 지원이 있습니다. Logic은 커넥터의 각 핀을 배치하고 개별적으로 이동할 수 있는 특수한 커넥터 부품 유형을 지원합니다.

Altium Designer는 이를 지원하지 않으며 핀 전체가 하나의 블록으로 그룹화 되어 있는 다른 유형의 부품과 마찬가지로 커넥터를 처리합니다. 다음은 커넥터 P1의 핀을 각각 배치한 Logic 회로도의 예시입니다.



PADS@ Logic의 커넥터 예시

이와 달리 일반적인 Altium Designer의 커넥터는 아래와 같이 전체 핀을 한 블록으로 묶어둡니다.



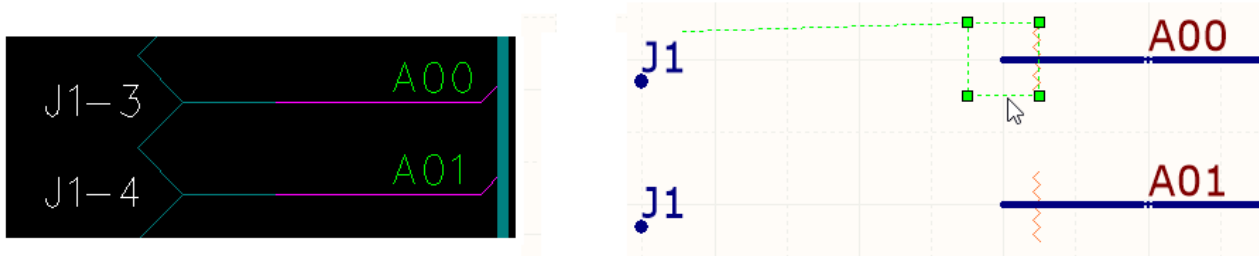
Altium Designer의 커넥터 예시

이러한 문제로 인해 PADS@ Logic의 방식과 같이 생성한 커넥터는 Altium Designer의 “블록 방식” 커넥터로 대체해야 합니다. 이는 변환 전 또는 후에 가능하며 이로 인해 회로도 레이아웃이 상당히 바뀔 수 있습니다.

Altium Designer에서 변환된 커넥터 삭제하기

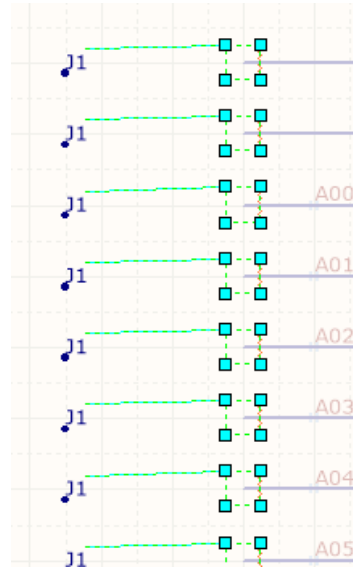
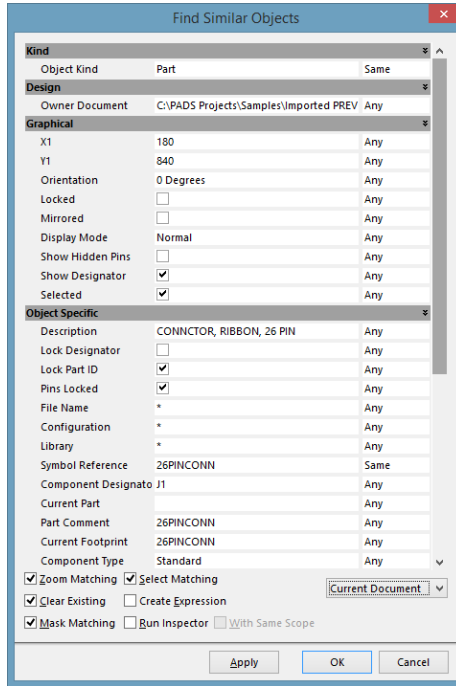
Altium Designer의 Find Similar Objects 기능으로 변환된 커넥터를 빠르게 삭제하려면 다음과 같이 진행하십시오.

1. 먼저 한 커넥터의 위치를 찾습니다. 이러한 객체 유형은 지원하지 않으므로 그래픽적 변환은 실제로 일어나지 않습니다.
2. 커넥터 핀이 있어야 하는 곳을 선택하면 “고스트” 부품이 아래와 같이 선택 및 강조됩니다.
3. 선택 상자 내에서 마우스 오른쪽 버튼을 누른 후 팝업 메뉴에서 **Find Similar Objects**를 선택합니다.



Altium Designer에서 커넥터 핀 선택하기

4. 'Symbol Reference(심볼 참조)' 필드까지 아래로 스크롤한 후 드롭다운 메뉴에서 **Any**를 **Same**으로 바꿉니다.
5. 대화창 하단의 **Select Matching** 박스에 체크한 다음 OK를 누릅니다.
6. 이제 커넥터 핀을 모두 선택했으므로 **Delete** 키만 누르면 이 페이지에서 핀이 모두 삭제됩니다. 각 회로도 도면에 이 과정을 반복하십시오.



Altium Designer에서 유사 객체 찾기 기능 사용하기

유사 객체 찾기 기능에 대한 자세한 정보는 다음의 Altium Designer 문서 관련 글을 참고하십시오.

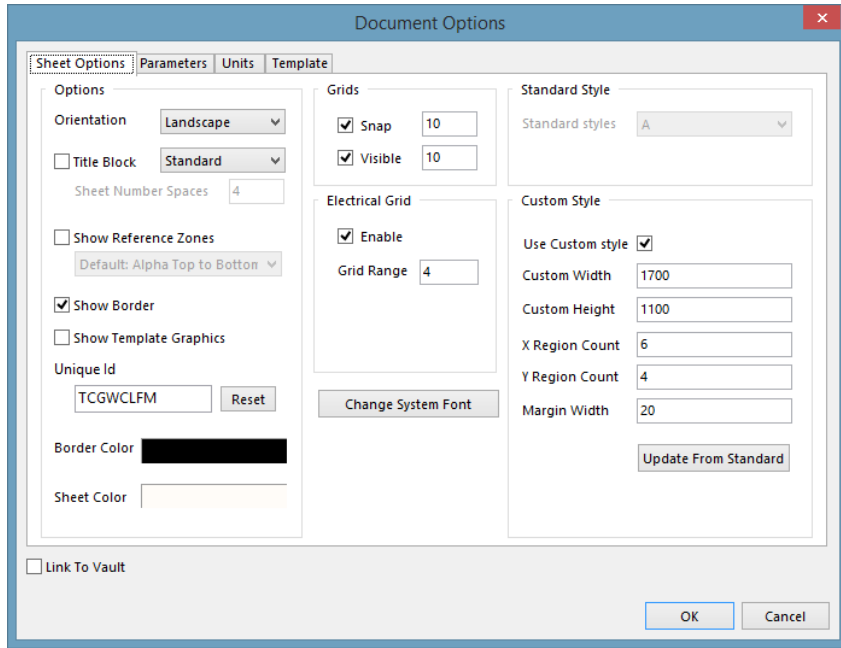
- [Altium Designer에서 다중 객체 편집](#)
- [Altium Designer에서 유사 객체 찾기](#)

회로도 테두리/서식

Altium Designer는 재사용 가능한 회로도 도면 서식을 지원하지만 PADS® Logic의 회로도 도면의 테두리와 표제란 영역은 단순히 선과 텍스트, 그래픽이 결합한 것과 큰 차이가 없으며 다른 2D 객체와 구분하기도 어렵습니다. 그러므로 이 데이터는 선과 텍스트에서 거의 그대로인 상태로 가져오게 됩니다. 로고와 같은 임베드된 그래픽 객체는 변환되지 않습니다.

Altium Designer는 자동으로 도면 테두리와 표제란을 표시하므로 중복되는 것처럼 보일 수 있습니다. 변환된 테두리를 그대로 둘지 또는 Altium Designer의 서식으로 교체할지는 사용자가 판단해야 합니다. Altium이 테두리를 표시하는 것을 간단히 해제하려면 다음과 같이 진행하십시오.

1. **Design » Document Options**을 선택합니다.
2. 아래와 같이 Sheet Options 탭에서 **Title Block**과 **Show Reference Zones** 상자를 해제합니다..
3. 변환된 테두리를 삭제하려면 여러 방식으로 데이터를 선택 및 삭제할 수 있습니다. 이를테면 'Find Similar Objects' 또는 **Edit » Select** 메뉴에서(특히 **Select Outside Area**)의 선택 명령어를 사용할 수 있습니다.



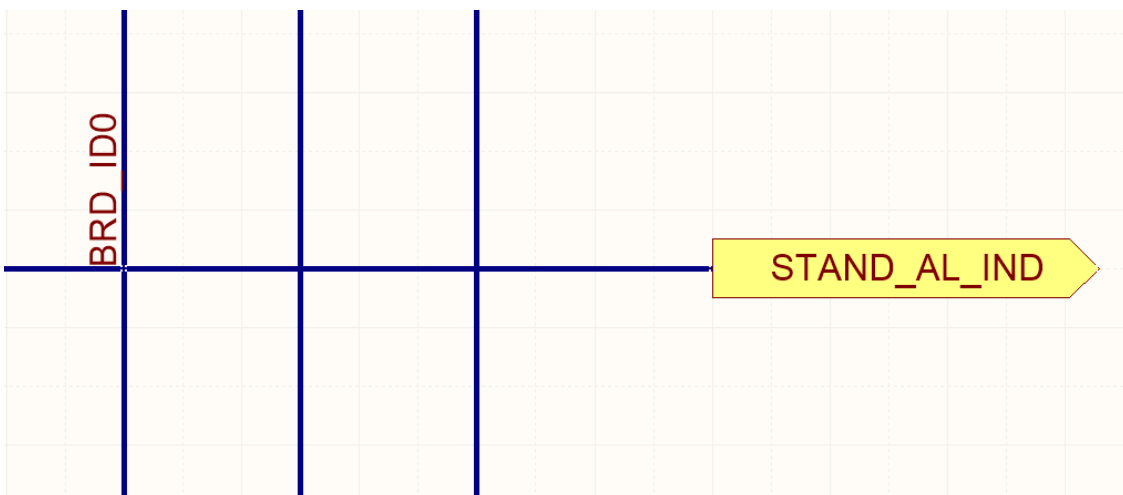
Altium Designer에서 문서 옵션 구성하기

Net 라벨

Altium Designer와 PADS® Logic은 Net에 이름을 붙이는 방식도 확연히 다릅니다. PADS® Logic은 배선 또는 연결에 속성을 포함하여 Net의 이름을 표시할 수 있습니다(예: CLK). 그리고 이 Net 이름은 회로도에서 표시하거나 숨길 수 있습니다.

이에 비해 Altium Designer는 “Net Label(Net 라벨)”이라 불리는 특수한 유형의 문자열을 배선이나 연결에 물리적으로 배치하는 다른 방식을 사용합니다. PADS® Logic에 Net 이름이 존재하며 이를 Altium Designer로 가져올 시 이 Net 라벨은 각 관련된 배선의 중간지점에 배치됩니다.

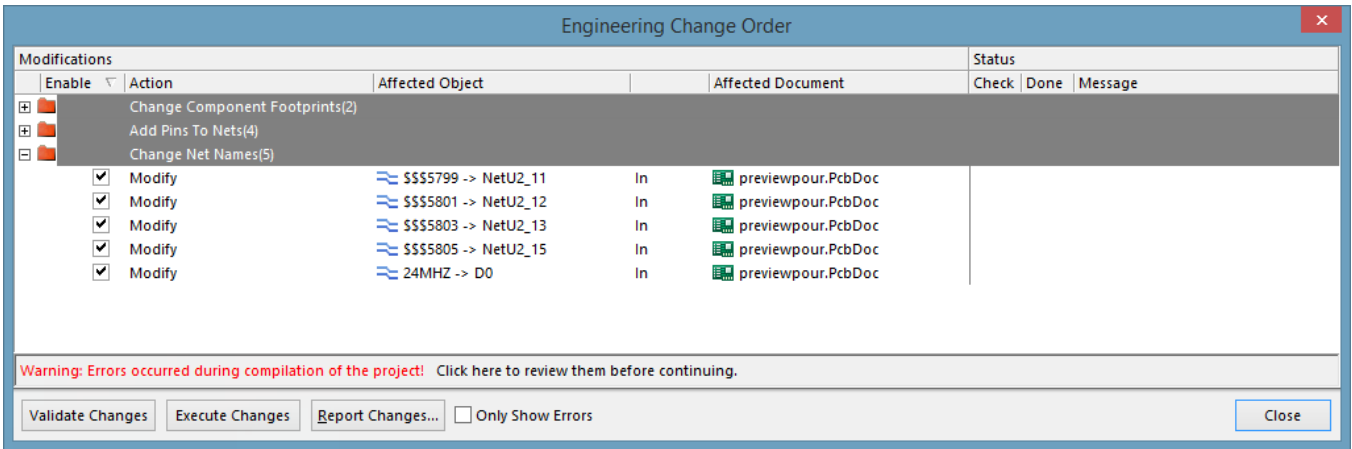
매우 적게 발생하는 경우로, 배선 세그먼트의 중간지점이 다른 배선과 정확히 교차되는 지점일 시 Net 라벨은 이 교차점에 배치되며 효과적으로 두 와이어 모두의 이름이 됩니다.



두 배선의 교차점에 배치된 Net 라벨

이 예시에서 BRD_ID0 라벨은 수직 배선과 연결되지만 STAND_AL_IND 포트에도 연결된 수평 배선에도 연결됩니다. 이 경우 STAND_AL_IND Net의 이름은 BRD_ID0라는 이름으로 바뀝니다. 말할 필요 없이 이는 불편한 경우입니다.

이 문제를 파악하는 한 가지 방법은 설계를 육안으로 검사하는 것입니다. 더 나은 방법은 PADS® Layout에서 Altium Designer로 변환된 해당 PCB 설계를 이용하는 것입니다. 회로도도 PCB를 동기화한 후 ECO를 실행하면 시스템이 Net의 이름을 변경하려 시도하는 시점을 볼 수 있습니다. 이는 회로도에 연결 문제가 있음을 나타내며 이는 원래 설계에서 의도한 것이 아닙니다.



ECO를 실행하여 회로도도의 연결 문제 확인하기

위의 예시에서 \$\$\$ 접두어가 붙은 4개의 Net은 Logic의 작명 형식을 Altium Designer의 작명 형식으로 변환하여 시스템에서 할당된 Net 이름이며 이것이 우리가 원하는 것입니다. 하지만 D0로 이름이 바뀐 24MHZ Net은 의도한 것이 아니며 더 살펴볼 필요가 있습니다.

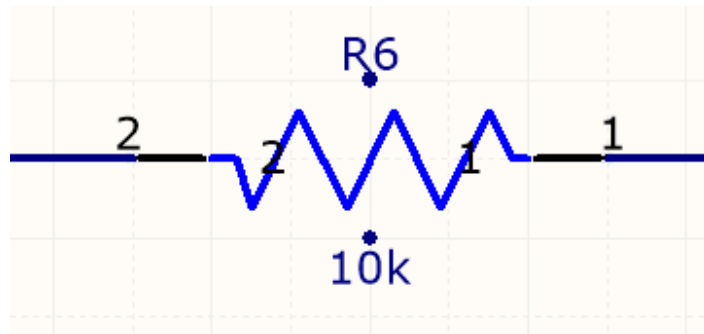
수동 배치된 매개변수

Altium Designer에서 육안으로 볼 수 있는 부품 매개변수는 일반적으로 'autopositioned'된 것으로 설정됩니다. 이는 시스템이 설계 참조를 포함한 매개변수를 심볼 옆의 기본 위치에 배치함을 의미합니다. 이는 시스템이 매개변수를 깔끔하고 알아보기 좋은 위치에 배치하므로 부품을 회전시킬 때 유용합니다.

PADS® Logic의 원본 회로도도를 정확히 그대로 복제하기 위해 불러온 매개변수는 자동 배치 설정을 해제한 상태가 됩니다. 그리고 설계 참조와 매개변수는 최대한 원래 위치에 가까운 곳에 배치하며 이제 '수동 매개변수'로 간주합니다.

기본 텍스트 스타일과 크기가 다른 관계로 정확하게 맞추지 못할 수도 있습니다. 사용자는 매개변수 텍스트 위치를 살짝 조정하고자 할 수 있습니다.

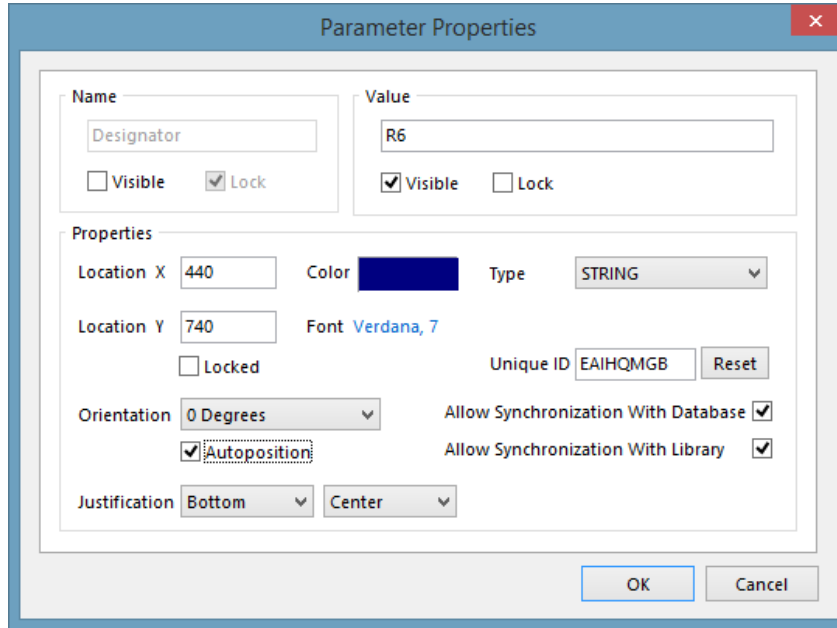
'수동 배치'된 매개변수는 아래와 같이 작은 점으로 표시합니다.



회로도 심볼에 수동 배치된 매개변수

이러한 '수동 매개변수'는 다음의 3가지 방법으로 처리할 수 있습니다.

- 그대로 두기
- 매개변수의 현재 위치를 그대로 두지만 점은 없앱니다. 이는 **Tools » Schematic Preferences**을 선택한 후 **Graphical Editing** 그룹을 선택하고 **Mark Manual Parameters** 옵션을 해제하면 됩니다.
- 아래와 같이 *Parameter Properties*(매개변수 속성) 대화창에서 '자동 배치' 설정을 다시 활성화합니다. 이는 'Find Similar Objects'와 'SCH Inspector' 패널을 함께 사용함으로써 가능합니다.



Altium Designer에서 매개변수 속성 편집하기

매개변수의 자동 배치는 회전 과정 또는 부품 배치 중에만 가능하므로 자동 배치의 영향은 부품을 제자리에서 회전시킨 후에야 확인할 수 있습니다.

전체 부품을 제자리에서 회전하려면 다음과 같이 진행하십시오.

1. **Ctrl+A**를 눌러 회로도 도면에서 모든 것을 선택합니다.
2. 스페이스 바를 누르면 모든 것이 90도 회전합니다.
3. Shift+스페이스 바를 누르면 다시 원래대로 돌아옵니다.

이제 전체 매개변수와 설계 참조가 자동으로 배치됩니다.

연결 관련 차이점

PADS® Logic과 Altium Designer 간에는 허용가능한 연결 구조에 있어 다양하며 미묘한 차이점이 존재합니다. Altium Designer는 진정한 계층 구조를 지원하므로 도면 간 연결이 수직 및 수평적으로 교차 적용되는 한편 PADS® Logic은 이렇게 복잡한 도면 구조를 전혀 지원하지 않습니다.

연결 문제는 프로젝트 컴파일 과정(Project » Compile PCB Project)를 실행한 후에 더 명백히 드러납니다. 메시지 패널에 이러한 오류 및 경고가 표시되어 계층적 및 Net 연결이 이루어지지 않음을 나타냅니다. 이를테면 "Duplicate net names(Net 이름 중복)" 오류는 일반적으로 도면 간 연결이 잘 되지 않았음을 나타냅니다.

여기서 가능한 모든 상황을 해소하려 하기 보다 더 좋은 방법은 TechDocs 내의 [다중 설계 도면 및 연결](#) 를 숙지하는 것입니다.

반전 신호

PADS® Logic과 Altium Designer의 반전 신호 표시 방법은 다소 다릅니다. PADS®는 “\”(역슬래시) 기호로 그 뒤에 오는 모든 문자가 막대를 표시한다는 것을 나타냅니다. 그러므로 여기에 아래와 같이 회로도에서 표시되는 \INIT라는 Net 이름을 부여함으로써 반전된 INIT 신호가 생성됩니다.



PADS® Logic의 반전 신호

Altium Designer는 단일 반전 또는 부정에 2가지 방법을 지원합니다. Net 라벨의 첫 글자로 “\”를 사용하고, 그리고 도면 옵션 중 **Single ‘\’ Negation**이 활성화된 경우 (**Tools » Schematic Preferences » Schematic » Graphical Editing**) \INIT Net은 아래와 같이 도면에 표시됩니다.



Altium Designer v1의 반전 신호

Altium Designer에서 사용할 수 있는 또 다른 방법으로는 반전시킬 문자의 뒤에 “\”를 사용하는 것이 있습니다. 여기서 주요한 차이점은 각 문자를 개별적으로 반전시킬 수 있다는 것입니다. 그러므로 반전된 “INIT”에는 \N\I\T\라는 주석이 붙습니다. 그리고 HIGH\LOW와 같이 혼합되는 상황도 가능합니다.



Altium Designer v2의 반전 신호

PADS® Logic과 동일한 Net 이름이 HIGH\LOW 로 생성됩니다(“\” 뒤에 오는 모든 문자는 반전됩니다). Altium Designer의 단일 ‘\’ 반전 방식을 사용하려면 사용자 옵션을 설정해야 하므로(사용자별로 다르게 설정 가능) 반전시킬 문자 뒤에 역슬래시를 배치하는 방식을 사용하는 것이 일반적으로 더 안전합니다.

반전 신호와 그 Net 라벨을 분석할 회로도 설계를 PADS®의 단일 백슬래시 방식에서 Altium Designer의 다중 백슬래시로 바꾸는 것이 좋습니다.

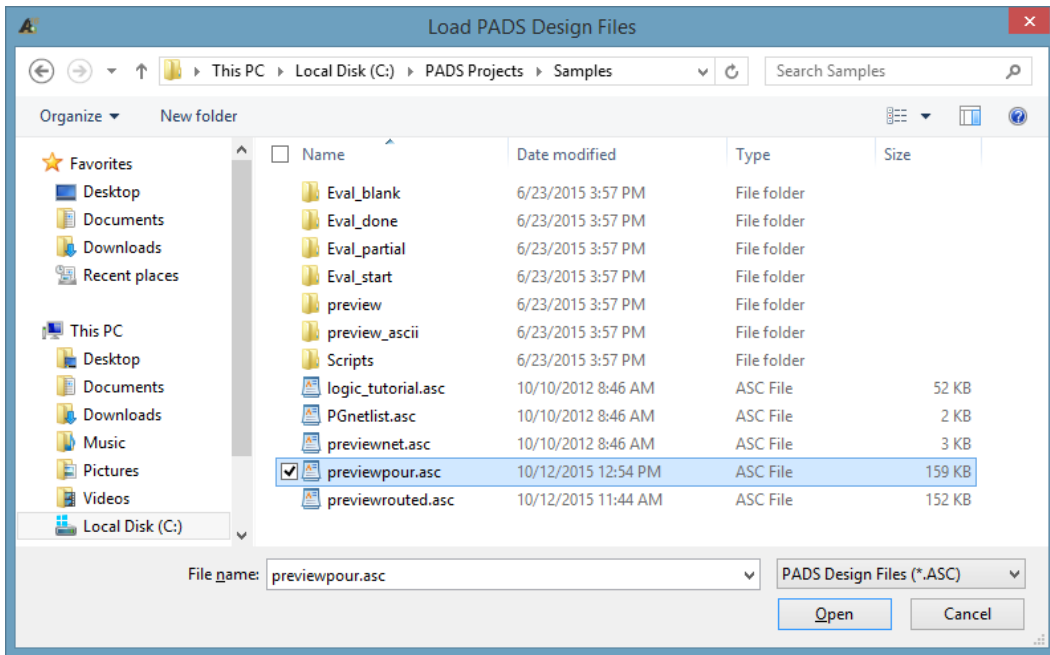
이 Net을 찾는 방법은 여러 가지가 있습니다. 그 중 한 가지는 **Edit » Find Text**입니다. 또한 먼저 프로젝트를 컴파일하고 내비게이션 패널을 사용하는 방법도 가능합니다(**View » Workspace panels » Design Compiler » Navigator**). Net/버스를 이름으로 정렬하면 “\”으로 시작하는 Net이 목록의 상단 및 하단에 나타납니다. 수정은 수동으로 하거나 **Edit » Replace Text**로 가능합니다.

PCB 변환

PCB 불러오기 과정

PADS® Layout의 변환은 PADS® Logic 변환과 같은 방식으로 시작합니다. 다음과 같이 진행하십시오.

1. **File » Import Wizard**를 선택합니다.
2. 시작 화면에서 **Next**를 누르고 PADS® ASCII 설계 및 라이브러리 파일을 선택한 후 다시 Next를 눌러 진행합니다.
3. **Add**를 선택하여 하나 또는 여러 설계 파일을 불러옵니다. 기본 파일 유형은 '.asc' 입니다.



Altium Designer Import Wizard에서 PADS® 설계 파일 불러오기

주의 PADS®는 '.asc' 확장자를 공유하는 2가지 파일 포맷만 지원한다는 점에 주의하세요. 하나는 앞서 다른 PCB 파일을 불러낸 것입니다. 다른 파일은 PCB 설계를 채우는 데 사용된 회로도에서 생성한 Net리스트 파일입니다. 이 형식은 여기서 사용할 수 없습니다. 두 파일 모두 텍스트 기반이며 텍스트 에디터에서 열 수 있습니다. PCB에서 내보낸 ASCII 파일이 정확하다면 다음과 유사한 방식으로 시작됩니다.

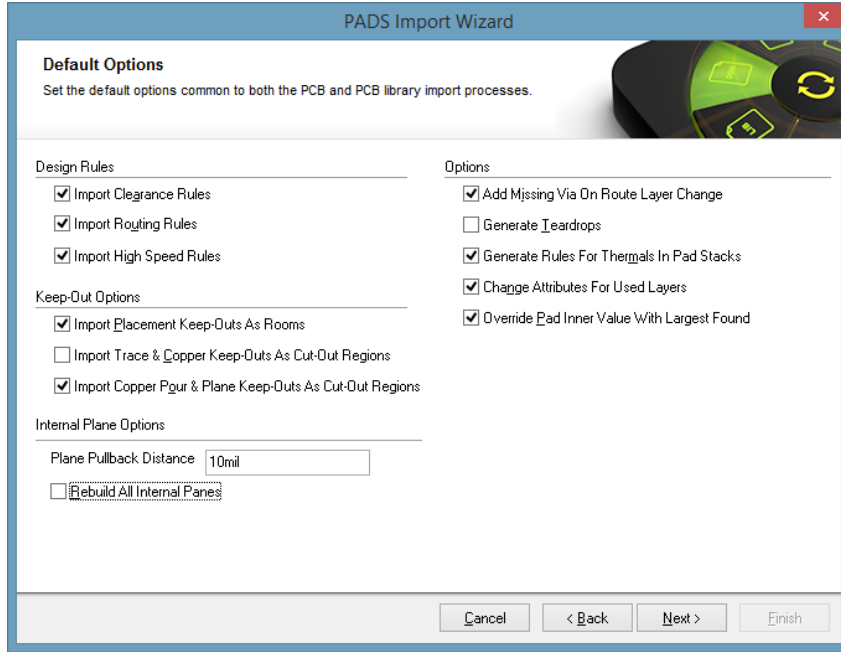
```
!PADS®-POWERPCB-V9.5-BASIC! DESIGN DATABASE ASCII FILE 1.0
*PCB* GENERAL PARAMETERS OF THE PCB DESIGN

UNITS 0 2=Inches 1=Metric 0=Mils
USERGRID 317373 317373 Space between USER grid points
MAXIMUMLAYER 4 Maximum routing layer
```

반면에 Net리스트 파일(부정확)은 이렇게 표시됩니다.

```
!PADS®-POWERPCB-V9.0-MILS! NETLIST FILE FROM PADS® LOGIC V9.5
*REMARK* PREVIEW.SCH -- Thu Oct 15 09:06:19 2015
*REMARK*
*PART* ITEMS
U1 87C256@SO28
U2 87C256@SO28
```

4. **Next**를 선택하여 마법사를 계속 진행합니다. 라이브러리 파일을 변환하는 중이라면 다음 화면에서도 추가할 수 있습니다.
5. 보고 옵션 화면은 그대로 두어도 무방합니다(회로도를 변환하는 종이 아니라고 가정할 시).
6. 기본 옵션 화면에서는 아래와 같이 진행하기 전에 다소 변경해야 할 수 있습니다.



PADS® Import Wizard에서 기본 옵션 구성하기

- 설계 규칙 본 섹션은 읽어보면 알 수 있습니다. Clearance, Routing, High Speed 규칙을 불러올 지 여부를 결정합니다
- **Keep-Out** 옵션 이 옵션을 체크하지 않거나 비활성화한 경우 PADS®의 배치, 배선/카퍼 및 카퍼 푸어 자르기는 Altium Designer의 자르기 영역으로 변환됩니다. PADS®의 자르기는 말 그대로 배제하는 객체의 유형에 대해 구성 가능한 반면 Altium Designer의 자르기는 전역성을 가지며 다시 말해 전기적 객체(배선, 비아, 푸어 등)는 DRG 위반이 발생했는지 금지영역에 대해 확인하게 됩니다.

참고: 배치: Altium Designer에서 배치 금지영역에 해당하는 요소는 룸(Room)을 사용하므로 **Import Placement Keep-Outs As Rooms** 옵션을 활성화하는 것이 좋습니다.

배선 및 카퍼 Altium Designer의 자르기는 PADS®의 배선 및 카퍼(카퍼 푸어가 아님)와 유사하게 작동하므로 이 옵션은 일반적으로 비활성화 상태가 되며 자르기는 그대로 유지됩니다.

카퍼 푸어 및 플랜: Altium Designer의 푸어와 플랜 자르기는 PADS®와 유사합니다. 이 옵션은 항상 활성화시키는 것이 안전합니다.

- 내부 플랜 옵션 네거티브 플랜 레이어로 변환할 레이어의 경우 들이기 거리를 플랜 카퍼에서 보드 가장자리까지 원하는 간격으로 설정합니다. PADS®의 경우 이는 수동으로 이루어지며 보드 아웃라인 쪽을 플랜 들이기의 2배로 설정하거나 보드 공간에 맞는 플랜 레이어에 선을 그어야 합니다. Altium Designer는 레이어 스택 관리자 대화창의 설정을 통해 들이기 거리를 자동으로 생성합니다(**Design » Layer Stack Manager**). 사용자가 이 값을 어떻게 설정할 지 파악하려면 설계가 생성된 방식을 이해해야 합니다.
- 옵션 이 목록에서 중요한 옵션은 "Generate Teardrop"입니다. 이 옵션을 활성화하면 티어드롭이 원래 PADS 설계에 있었는지 여부와 무관하게 자동으로 설계에 티어드롭이 추가됩니다. 이 옵션은 해제하는 쪽이 훨씬 좋습니다. 원본 PADS 설계에 티어드롭이 있을 시 이 티어드롭의 구조가 Altium에서 티어드롭을 생성하는 방식과 다르므로 삭제됩니다.

레이어 맵 구성

위의 PCB를 불러오기 과정을 계속하려면 레이어 맵을 구성하고 아래와 같이 불러오기를 완료해야 합니다.

7. 다음 화면에서 **Edit Mapping** 버튼을 눌러 레이어가 변환되는 과정을 분석합니다.

반드시 PADS 실크스크린 레이어 맵을 Altium 실크스크린 레이어로 변환하도록 주의해야 합니다. 필요시 레이어 매핑은 수동으로도 가능합니다. 또한 특정 레이어의 정보를 버릴 수 있을 시에는 PADS 레이어를 “불러오지 않음”으로 설정할 수도 있습니다. PADS 레이어를 모두 Altium 레이어로 매핑할 필요는 없습니다.

내층 레이어 별로 PADS®의 내층 신호(라우팅) 레이어는 Altium Designer의 신호 레이어로 매핑됩니다(예: “Mid Layer 1”). PADS® CAM 플랜 레이어는 Altium Designer 플랜 레이어로 매핑되며(예: “Internal Plane 1”) 이는 네거티브 이미지 플랜입니다. 배선 또는 다른 포지티브 이미지 전기적 데이터가 존재할 시 분리/혼합 레이어로 정의된 PADS® 내층 레이어는 Altium Designer 신호 레이어로 초기화됩니다.

분리/혼합 레이어가 푸어 형태만 가지고 있을 시 Altium Designer 플랜 레이어(네거티브)로 초기화되며 분리, 포함 및 격리된 플랜 영역에 영향을 미치지 않은 상태로 불러오게 됩니다. 이러한 설정은 사용자가 분리 플랜을 포지티브 레이어로 불러오고자 한다면 수동으로 변경할 수 있습니다.

여러 파일을 동시에 변환하는 경우 각 파일은 자체 레이어 매핑을 선택할 수 있으므로 반드시 각 고유 레이어 스택을 검토해야 합니다

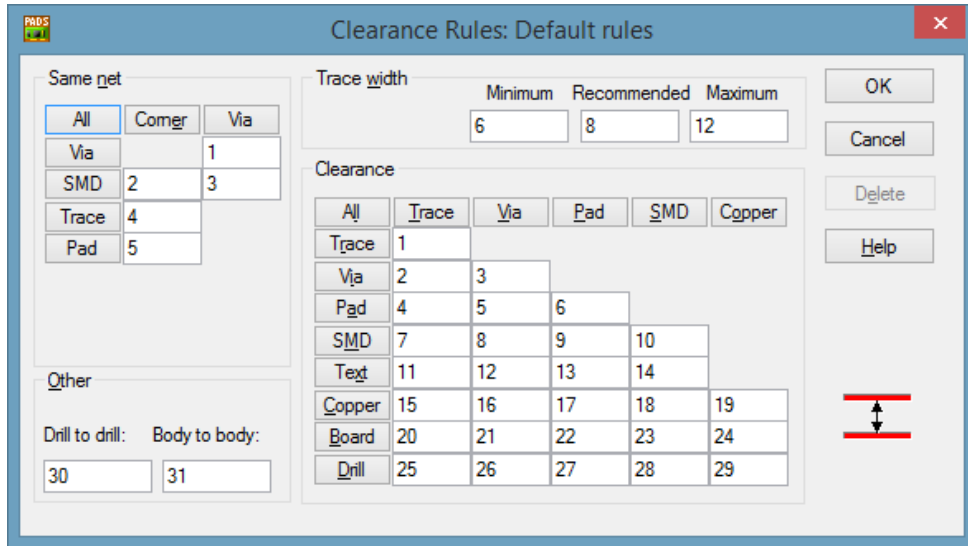
8. **Next**을 클릭하여 변환중인 대상과 파일이 저장되는 폴더를 요약하는 리뷰 페이지로 이동합니다.
9. ‘Project Output Directory’는 기본값으로 선택한 파일이 있던 폴더로 지정되거나 여러 폴더에서 파일을 불러온 경우에는 빈 값이 됩니다.
10. **Next**을 클릭하여 변환 과정을 시작하십시오. 변환에 소요되는 시간은 설계의 개수와 크기에 따라 작은 설계 파일의 경우 몇 초에서 큰 파일의 경우 몇 분까지 달라집니다.
11. 과정이 완료되면 “Complete” 화면이 나타납니다. Finish를 클릭하여 이 화면을 닫고 변환된 PCB 파일을 검토합니다.

PCB 설계 클린업

변환기가 정확히 PCB 데이터를 변환하더라도 두 CAD 시스템 간에 호환되지 않는 문제로 인해 불러온 설계를 추가로 편집해야 할 수 있습니다.

설계 규칙

PADS® Layout과 Altium Designer는 기본 이격거리 규칙 설정과 관련하여 유사한 매트릭스 기반 방법론을 공유합니다. 이를테면 PADS®의 비아-투-비아 규칙에서 설정한 값은 비아-투-비아 규칙을 통해 Altium Designer로 변환됩니다. 각 이격거리 값을 변환하는 예시에 대해서는 다음을 참고하십시오. 지금은 메인 이격거리 매트릭스에 초점을 두고자 합니다.



PADS®의 이격거리 규칙

Constraints

Different Nets Only

Minimum Clearance N/A

	Arc	Track	SMD Pad	TH Pad	Via	Fill	Poly	Region	Text
Arc	1								
Track	1	1							
SMD Pad	7	7	10						
TH Pad	4	4	9	6					
Via	2	2	8	5	3				
Fill	15	15	18	17	16	19			
Poly	15	15	18	17	16	19	19		
Region	15	15	18	17	16	19	19	19	
Text	11	11	14	13	12	11	11	11	10

Required clearances between electrical objects and Board Cutouts / Board Cavities are determined using the largest of Electrical Clearance rule's Region -to- object settings and Board Outline Clearance rule's settings.

Altium Designer의 이격거리 규칙

참고로 Altium Designer는 경로가 설정된 아크와 경로의 직선 부분(“트랙”)을 구분합니다. PADS® 배선의 이격거리 값은 Altium Designer에서 트랙과 아크 양쪽 모두로 변환됩니다. 또한 PADS®의 카퍼 관련 신호값은 채움, 영역, 다각형에 대해 사용된다는 점도 기억해야 합니다(Altium Designer의 채움과 영역은 PADS®의 카퍼에 해당하며 다각형은 PADS®의 카퍼 푸어에 해당합니다).

Altium Designer 이격거리 매트릭스에 없는 것은 “보드”의 이격거리 값입니다. 보드 아웃라인(Board Outline) 이격거리 설정은 다른 규칙 설정입니다(구체적으로는 제조 설계 규칙 내). 이 시점에서 보드 이격거리 값은 Altium Designer로 변환되지 않으며 반드시 수동으로 생성해야 합니다.

드릴-투-객체 값은 Altium Designer에 정확히 해당하는 값이 없습니다(예: 체크는 드릴 엣지에서 SMD 핀으로 할 수 없습니다). 그 대신 Altium Designer는 홀-투-홀 체크를 제조 설계 규칙의 일부로 포함하고 있습니다. PADS®의 전역 “드릴-투-드릴” 값(이 예시의 경우 30)은 홀-투-홀 규칙으로 Altium Designer에 변환됩니다.

팁: 구체적인 홀-투-홀 규칙 역시 Altium Designer에서 생성할 수 있으므로 30mil 드릴은 필요하다면 20mil 드릴과 구멍으로부터 이격거리이 다를 수 있습니다.

“동일 Net” 이격거리 규칙의 경우 비아 기반 규칙을 Altium에서 재생성합니다(비아-비아, 비아-SMD). 다만 Altium Designer는 “코너” 객체 유형을 지원하지 않으므로 이러한 규칙들은 변환되지 않습니다.

PADS® 조건부 규칙(Conditional Rules)은 Net 클래스, Net, 디퍼렌셜 페어 등과 같이 모두 예상대로 변환됩니다. Altium Designer에는 핀-페어, 핀-페어 그룹, 데칼 또는 부품에 대한 해당하는 값이 없으며 변환되지 않습니다.

금지영역

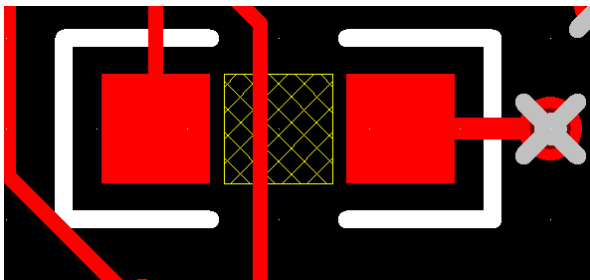
블러오기 과정 섹션에서 언급한 것과 같이 PADS®의 금지영역 객체는 Altium Designer와 다른 기능을 갖습니다. Altium Designer의 금지영역은 구체적인 레이어로 제한할 수 있으며 어떠한 물리적 형태도 가질 수 있지만 비아, 배선, 부품 패드 등 모든 전기적 유형은 전체적으로 금지영역을 적용합니다. 이와 반대로 PADS® 금지영역은 구체적인 객체를 제외하도록 구성할 수 있습니다(예: 비아는 금지영역이 적용 되나 배선은 금지영역이 적용 되지 않음).

Import Wizard는 일부 시나리오에 대해 원-투-원 기능을 이용할 수 있도록 몇 가지 제어장치를 갖추고 있습니다('Import Placement Keep-Outs As Rooms'). 하지만 사용자는 반드시 원본 설계의 금지영역 유형과 이 금지영역이 Altium Designer에서 작동하는 방식 및 설계 규칙 확인에 영향을 미치는 방식을 이해해야 합니다.

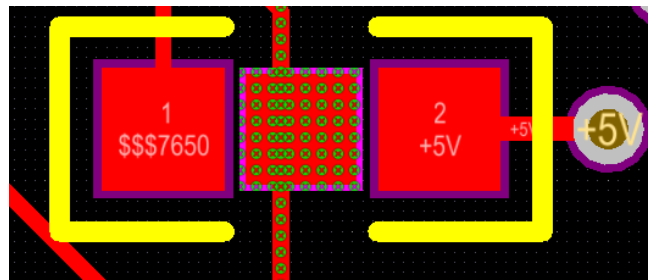
PADS® 금지영역이 여러 객체 유형을 금지영역이 적용 하도록 구성되어 있다면 Altium Designer에서는 단 하나의 금지영역 객체만이 생성됩니다. 이렇게 생성된 유형은 PADS®에서 설정된 금지영역 옵션과 Import Wizard의 금지영역 옵션의 활성화 여부에 따라 달라집니다.

금지영역 비호환성 문제는 PCB 풋프린트에도 영향을 미칠 수 있습니다. PADS®의 PCB 데칼은 동일한 구성 가능한 금지영역 객체를 담을 수 있습니다. 이를테면 설계 담당자가 PADS®의 SMD 콘덴서 간 금지영역 영역을 포함시켜 핀 사이에 배선을 허용하더라도 비아를 배치할 수 없도록 막는 경우는 흔히 발생합니다.

아래 그림에서 Altium Designer의 풋프린트에는 핀 사이의 금지영역이 포함되지만 비아에 대한 금지영역 체크 외에도 금지영역은 배선, 카퍼 푸어 등 전기 항목 일체에 대해 오류를 발생시키게 됩니다. PADS® 금지영역은 예상치 못한 DRC 위반을 발생시킬 수 있는 객체로 변환할 수 있습니다.



풋프린트의 비아 금지영역



금지영역을 갖는 Altium Designer 내 풋프린트

이러한 상황이 발생할 경우 이 풋프린트는 Altium 라이브러리에서 편집해야 금지영역을 삭제할 수 있습니다.

폴리곤(카퍼) 푸어 씨멀

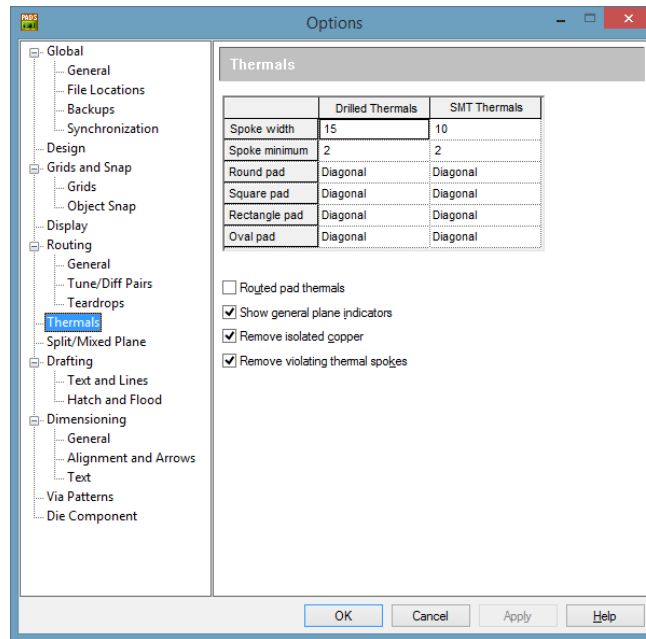
PCB 시스템은 모두 카퍼 푸어와 씨멀 생성을 다르게 처리합니다. PADS®는 씨멀 연결성을 다양한 방식으로 정의할 수 있도록 허용하며, 전역 및 개별 패드스택 차원 모두 가능합니다. 씨멀은 패드의 형태에 따라 다를 수 있으며(등근 패드에 대한 45도 연결 대 타원 패드에 대한 90도 연결) 또는 데칼 및 단일 핀 차원에서도 정의가 가능합니다. 비아 씨멀은 비아의 스타일에 따라 정의될 수 있으며 그 다음에 플러드 오버에 대한 재정의의 개별 카퍼 푸어에 대해 설정할 수 있습니다. 설계 규칙 설정 역시 씨멀 연결성에 영향을 미칠 수 있습니다. 마지막으로 CAM 아웃풋 설정은 (네거티브) CAM 플랜에 연결이 이루어지는 방식에 영향을 미칠 수 있습니다.

Altium Designer는 이러한 설정을 설계 규칙에서 관리함으로써 씨멀 생성에 전혀 다른 접근법을 취합니다('Polygon Connect Style rules(폴리곤 연결 스타일 규칙)'). 실제로 이 방법을 이용하면 보다 효율적인 씨멀 설정이 가능한데 그 이유는 씨멀 연결과 관련된 설정은 모두 한 곳에 존재하기 때문입니다.

Altium Designer의 이전 버전에서 PADS® Import Wizard는 PADS® 설계에 존재했으며 생각할 수 있는 모든 씨말 연결 옵션을 재생성하려 시도했습니다. 그 결과 관리할 수 없을 정도로 많은 폴리곤 연결 설계 규칙 목록이 생성되었는데 매우 단순한 설계의 경우 규칙의 수가 적었지만 복잡한 설계의 경우 수백 개의 규칙에 이르는 경우도 있었습니다.

변환 후 클린업과 규칙의 조합은 항상 필요하며 대부분 사용자는 “Altium Designer의 방식대로” 이를 모두 삭제하고 폴리곤 연결 규칙을 재생성하기로 결정하기도 했습니다. 그 결과 일반적으로 전부는 아니더라도 원본 PADS® 설계에 존재하는 거의 모든 시나리오를 해소하는 소수의 규칙이 생성되었습니다.

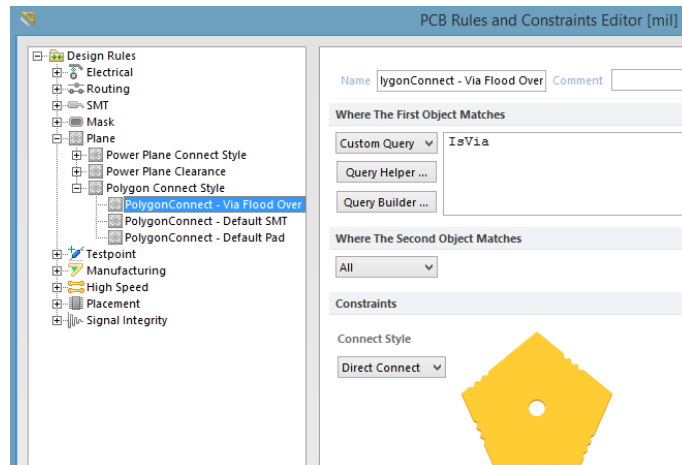
그러므로 전체 핀 및 비아에 대한 기본 커넥터 1개와 SMT 핀용 커넥터 등 2개의 폴리곤 연결 규칙을 예외로 하고 씨말 연결을 재생성하려는 시도를 삭제하기로 결정하는 경우가 많았습니다. 기본 규칙은 4-스포크 릴리프 연결을 생성하되 스포크 폭은 **Options » Thermals** 대화창에 있는 “드릴드 씨말”에 대한 PADS® 스포크 폭에 의해 결정되었습니다.



PADS®의 씨말 옵션

Altium Designer에서 SMT 연결 규칙은 PADS®의 Options » Thermals 대화창에 있는 ‘SMT 씨말’ 스포크 폭 설정에 의해 결정된 씨말 스포크 폭이 적용됩니다. 다른 구체적인 씨말 연결 구성이 필요한 경우에는 Altium Designer에서 수동으로 이 규칙들을 생성해야 합니다. 한가지 일반적인 예는 “플러드 오버” 연결에 대한 비아를 구체적으로 대상으로 하는 규칙입니다. 이는 새 규칙을 생성하고 범위를 “IsVia” vs. “All”로 설정하며 제약을 “Direct Connect”로 설정함으로써 가능합니다.

규칙 생성에 대한 자세한 정보는 TechDocs의 [Creating Design Rules](#)을 참고하십시오.

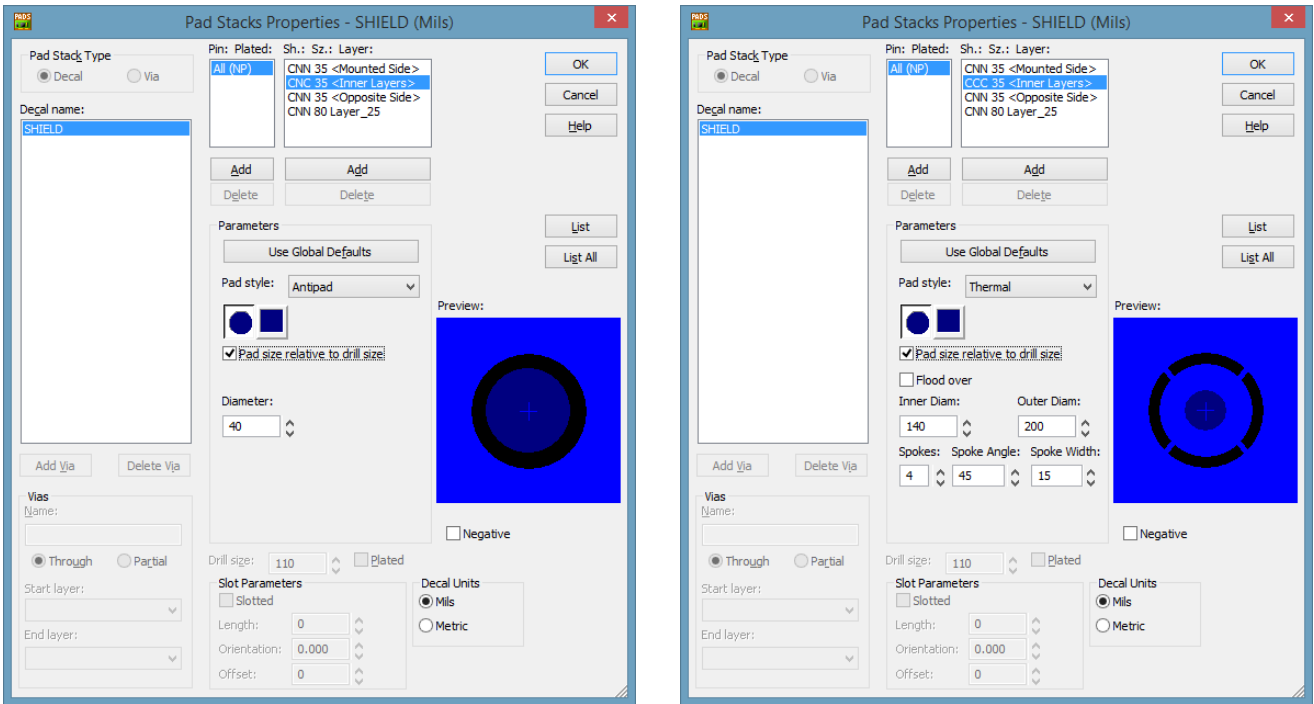


폴리곤 연결을 위해 Altium Designer에서 설계 규칙 구성하기

플랜 씨멀과 플랜 이격거리

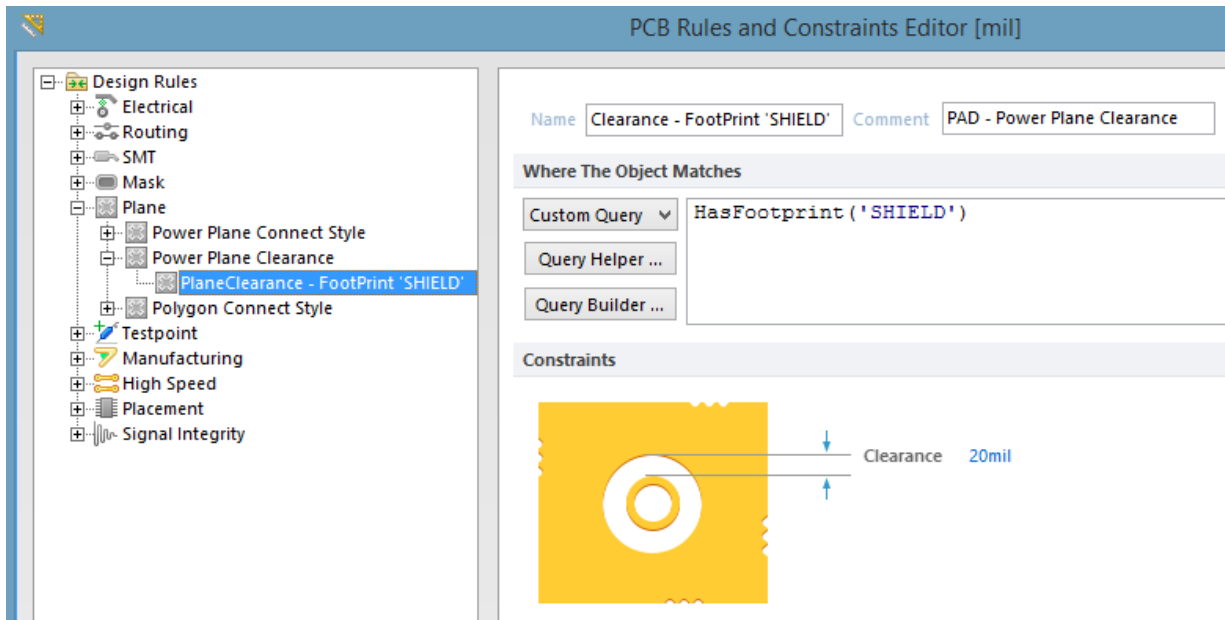
블러오기 과정의 레이어 매핑 섹션에서 언급한 것과 같이 PADS®의 CAM 플랜은 기본값으로 Altium Designer 플랜(네거티브) 레이어에 매핑하도록 되어 있으며 분리/혼합 레이어 역시 Altium Designer 네거티브 플랜 레이어에 분리 레이어로 매핑됩니다.

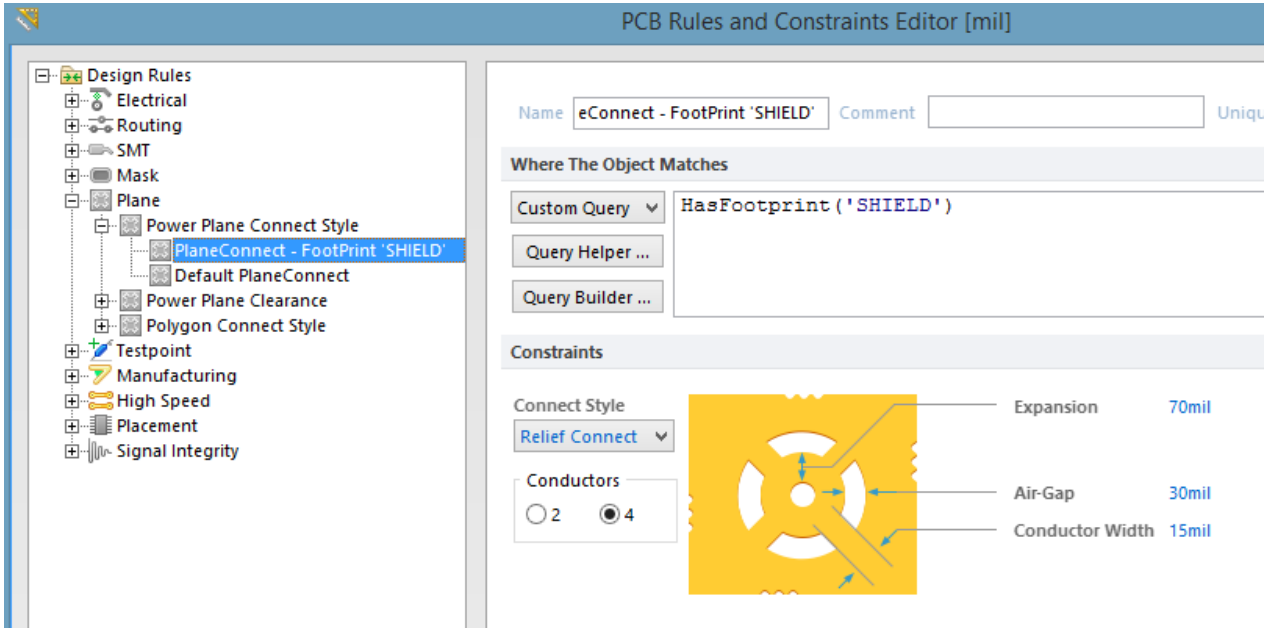
이러한 경우 연결 및 이격거리 규칙은 모두 Altium Designer의 설계 규칙 내에 설정됩니다. 역시 이러한 규칙이 PADS® 내에서 설정될 수 있는 위치가 많은 관계로 그 중에는 성공적으로 변환되지 못하는 것도 발생할 수 있습니다(이들테면 씨멀 또는 이격거리 값에 대해 Layer_25를 이용하는 패드스택은 변환되지 않습니다). 그러므로 구체적인 플랜 규칙을 생성해야 할 수 있습니다. 하지만 PADS® 패드스택 중에 구체적인 씨멀 또는 안티패드 값이 설정된 것이 있다면 해당하는 플랜 연결 또는 플랜 이격거리 규칙이 Altium Designer에서 자동으로 생성됩니다.



PADS®에서 패드스택 속성 구성하기

PADS® 내 구체적인 핀 또는 부품에 씨멀 또는 안티패드 값을 적용할 수 있지만 이 규칙을 변환하게 되면 풋프린트를 대상으로 하게 됩니다. 그러므로 이 풋프린트를 사용하는 설계 내 부품이 영향을 받게 됩니다.





Altium Designer 내 폴렌 씨널 및 이격거리 관련 설계 규칙 구성하기

부품 라이브러리 변환

부품 라이브러리 불러오기 과정

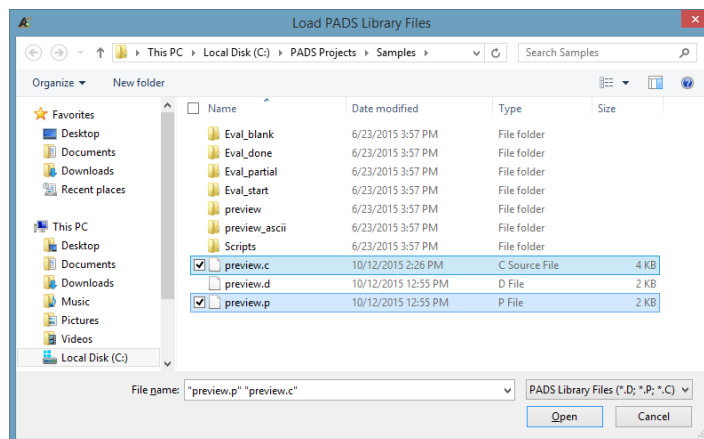
PADS® 라이브러리를 변환하려면 다음과 같이 진행하십시오.

1. **File » Import Wizard**를 선택합니다.
2. 환영 화면에서 **Next**를 누르고 'PADS® ASCII 설계 및 라이브러리 파일'을 선택한 후 다시 **Next**를 눌러 진행합니다.
3. **Next**를 선택해서 설계 불러오기 화면을 넘어갑니다.
4. PADS® 라이브러리 불러오기 화면에서 **Add**를 선택해서 하나 또는 여러 라이브러리 파일을 불러옵니다.

회로도 심볼 라이브러리

ASCII 파일 생성 섹션에서 다룬 것과 같이 회로도 심볼 라이브러리를 변환하려면 Altium Designer 회로도 심볼 라이브러리를 정확하게 생성하기 위해 '.c' 및 '.p' 두 파일이 필요합니다.

5. PADS® 라이브러리 파일 불러오기 창에서 변환할 라이브러리의 '.c' 및 '.p' 파일을 모두 선택하고 **Open**을 선택합니다.



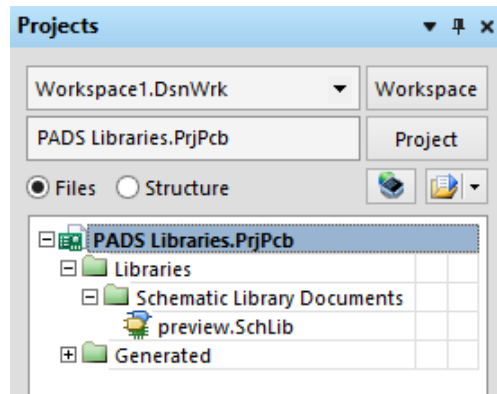
Altium Designer Import Wizard에서 PADS® 라이브러리 파일 불러오기

6. **Next**를 두 번 더 선택해서 변환 과정을 시작합니다. 과정이 완료되면 변환된 회로도 라이브러리를 프로젝트 패널에서 열 수 있습니다.

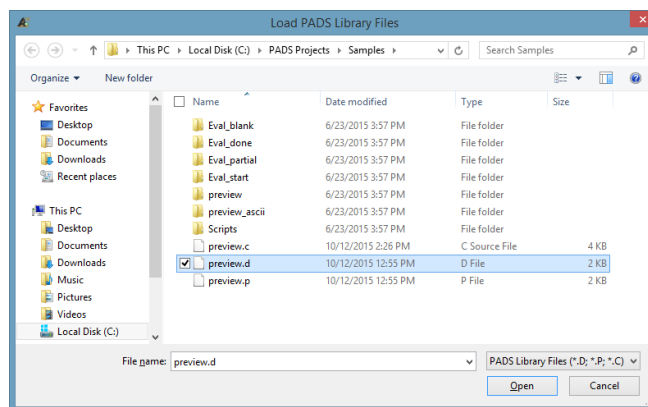
PCB 데칼/풋프린트 라이브러리

PADS® 데칼을 불러오려면 같은 과정으로 진행하되 '.d' 확장자를 가진 파일을 불러와야 합니다.

7. 변환할 파일을 선택하고 **Open**을 선택합니다.

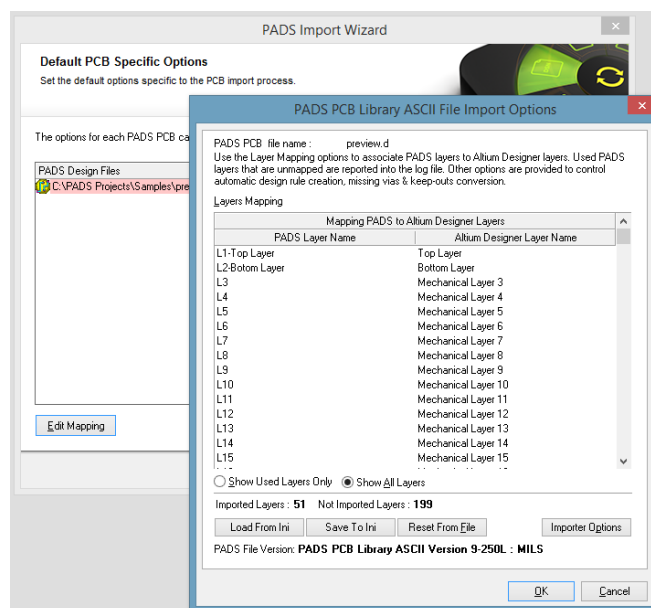


Altium Designer의 프로젝트 패널



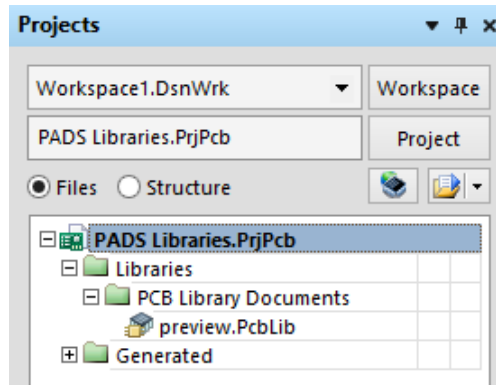
PADS® 데칼 및 풋프린트 라이브러리 불러오기

데칼 파일을 불러오려면 PCB 설계 레이어 매핑의 경우와 같이 Import Wizard에 레이어 매핑 옵션이 있어야 합니다. 또한 유사한 레이어를 매핑하려는 시도가 이루어집니다(실크스크린-투-실크스크린 등). 다시 한 번 언급하지만 전체 PADS® 레이어를 Altium Designer 레이어에 매핑할 필요는 없습니다.



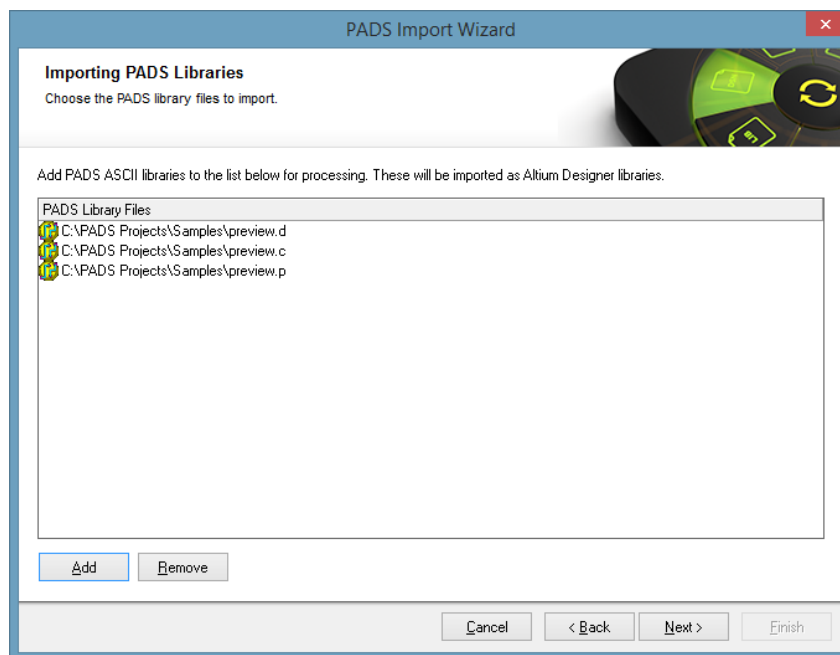
Import Wizard에서 레이어 매핑 옵션 구성하기

8. **Next**를 선택하여 마법사를 계속 진행합니다.
9. 레이어를 매핑한 후에는 **Next**를 두 번 더 선택해서 변환을 시작합니다.
10. 변환 후 PCB 풋프린트 라이브러리를 프로젝트 패널에서 열 수 있습니다.



Altium Designer의 프로젝트 패널

팁: 회로도 심볼 라이브러리와 PCB 데칼 라이브러리는 동일한 불러오기 과정으로 변환할 수 있습니다.



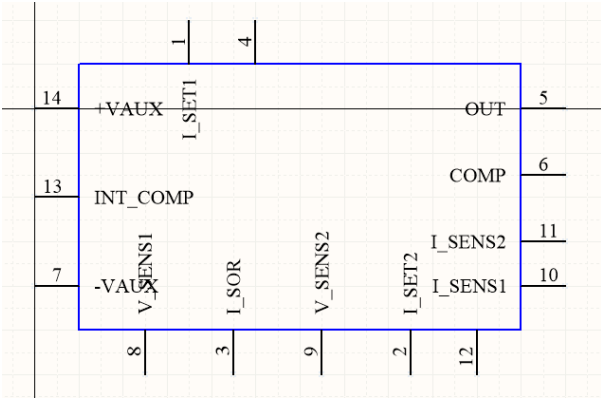
Import Wizard 내에 불러온 라이브러리의 요약

회로도 심볼 라이브러리 클린업

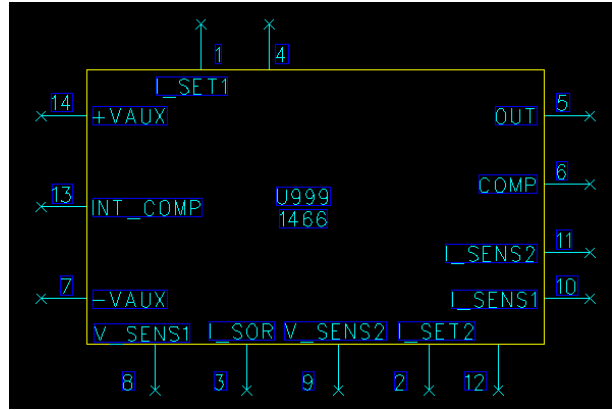
회로도 심볼에서 심볼 그래픽, 핀 이름 및 번호, 매개변수, 데칼/풋프린트에 대한 포인터와 같은 대부분의 요소는 정확하게 변환됩니다. 하지만 일부 작은 심볼호 라이브러리를 편집해야 할 수 있습니다. 이를테면 다음과 같은 것이 있습니다.

텍스트 및 핀 이름 위치

PADS® 기본 폰트의 차이점으로 인해 핀 이름과 번호의 전반적인 크기와 위치가 달라져 100% 일치하지 못하기도 합니다. 또한 핀 이름은 기본 위치 및 방향(핀과 인-라인 상태)으로 리셋됩니다.

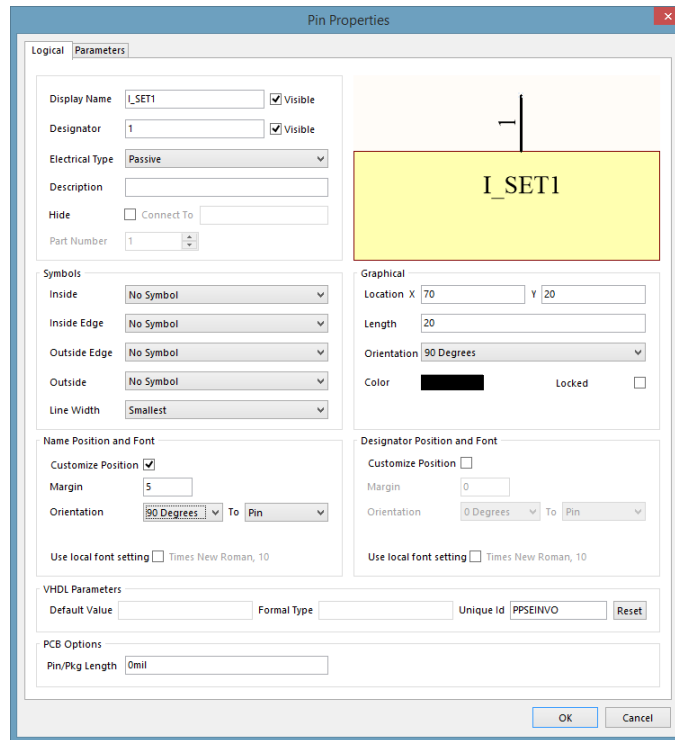


핀 이름이 다시 0도 회전하여 상/하단에 표시되는 Altium Designer 내 동일한 심볼



PADS®의 심볼

Altium Designer에서 핀 이름은 아래와 같이 핀 속성 대화창을 이용하여 'Customize Position(위치 조정)' 설정으로 조절할 수 있습니다.



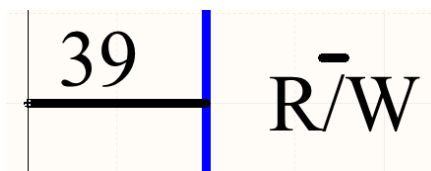
Altium Designer에서 핀 속성 조정하기

반전 및 부정화된 핀

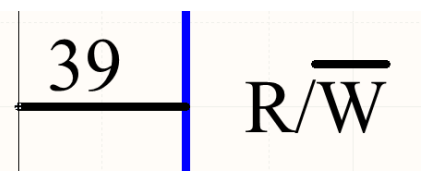
회로도 클린업 섹션에서 다룬 것과 같이 Altium Designer의 반전 신호는 PADS®와 다른 방식으로 정의됩니다. 핀(신호) 이름은 동일한 설정에 따라 달라지며 수정이 필요합니다. PADS®와 Altium Designer 간의 차이는 아래 예시에서 볼 수 있습니다.



PADS®의 핀 예시



Altium Designer의 동일한 핀 예시



핀 이름 텍스트는 R/W에서 R/W \bar{W} 로 변경해야 합니다(백슬래시를 W 뒤로 이동)



풋프린트 라이브러리 클린업

핀 번호, 패드스택, 실크스크린, 카퍼 형태 등 PCB 데칼의 대부분 측면은 정확하게 변환되지만 일부 작은 풋프린트 라이브러리는 편집해야 할 수도 있습니다. 살펴야 할 영역은 다음과 같습니다.

금지영역

PCB 클린업의 **금지영역** 섹션에서 다른 것과 같이 PADS®와 Altium Designer의 금지영역 기능은 상당한 부분에서 차이를 보입니다. 하지만 이는 풋프린트 라이브러리와 연관되므로 정말로 주의해야 하는 부분은 단 한 가지 상황입니다. 즉, PADS® 금지영역은 개별 객체 유형을 금지영역 하도록 구성할 수 있습니다. 일반적으로 비아별 금지영역을 풋프린트에 배치하기도 합니다(예: 콘덴서와 핀 사이).

PADS®의 비아 금지영역 영역은 Altium Designer에서 금지영역 리전으로 변환되며 모든 전기 객체를 금지영역합니다. Altium Designer에는 이에 해당하는 비아 전용 금지영역 객체가 없으므로 이러한 유형의 금지영역을 삭제하거나 또는 그 영향을 받아들여야 합니다.

그 외 일반적인 풋프린트별 금지영역은 카퍼 푸어 금지영역이 있습니다. 푸어 금지영역으로 구성된 금지영역 역시 Altium Designer에서 완전한 금지영역으로 변환됩니다. 하지만 폴리곤 푸어 컷아웃은 Altium Designer 풋프린트에 추가하여(Place » Polygon Pour Cutout) 문제를 해결할 수 있습니다. 폴리곤 푸어 컷아웃을 추가한 후에는 반드시 원래 금지영역 객체를 삭제해야 합니다.

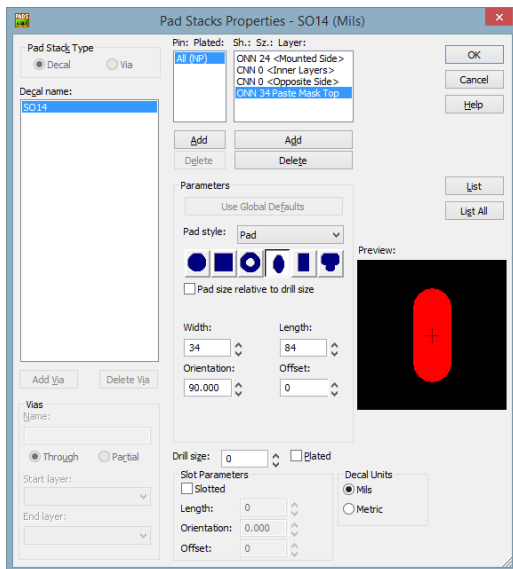
솔더 마스크와 페이스트 마스크

Altium Designer는 자동으로 기본 규칙에 따라 솔더 및 페이스트 마스크 오버/언더사이즈 값을 추가합니다. 이러한 레이어가 PADS®에서 구체적으로 정의된 경우 Altium Designer에서 패드스택 값이 그에 따라 설정됩니다. 솔더 마스크 및/또는 페이스트 마스크 레이어를 정의하지 않은 경우 Altium Designer 기본 설정을 이용합니다. 이를테면 5mil 오버사이즈를 갖는 패드스택에 페이스트 마스크 탑 레이어가 추가될 수 있습니다(24mil 솔더 마스크 이격거리를 34mil로 늘리기 위해 각 방향으로 5mil씩 늘림).

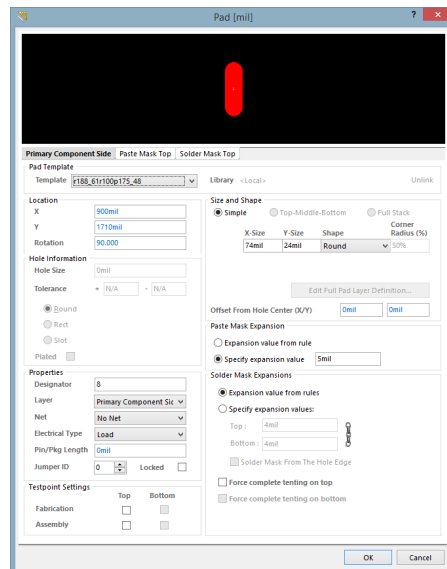
그리고 나서 5mil 값은 Altium Designer 패드 속성에서 “페이스트 마스크 확장”에 적용됩니다. PADS®에서 패드스택에 추가된 솔더 마스크 레이어가 없으므로 규칙의 확장 값에 대한 기본 설정이 적용됩니다.

PADS®에서는 마스크의 폭과 길이에 대해 각각 오버사이즈/언더사이즈로 확장이 가능합니다. 그러므로 이 예시의 경우 패드 폭은 24mil에서 34mil로 늘어났지만 74mil인 페이스트 마스크 레이어의 길이는 74mil의 패드 길이로 유지할 수 있습니다. Altium Designer는 확장값을 모든 방향으로 적용하므로(이를테면 전체 패드 크기를 “늘리”거나 “줄임”) 이렇게 균일하지 않은 오버 또는 언더사이즈 값을 가질 수 있는 패드를 찾는 것이 중요합니다.

팁: PADS®의 폭과 길이 확장 값이 다를 경우 Altium Designer로 변환할 시에는 더 작은 값을 사용합니다.



Altium Designer에서 패드스택 속성 구성하기

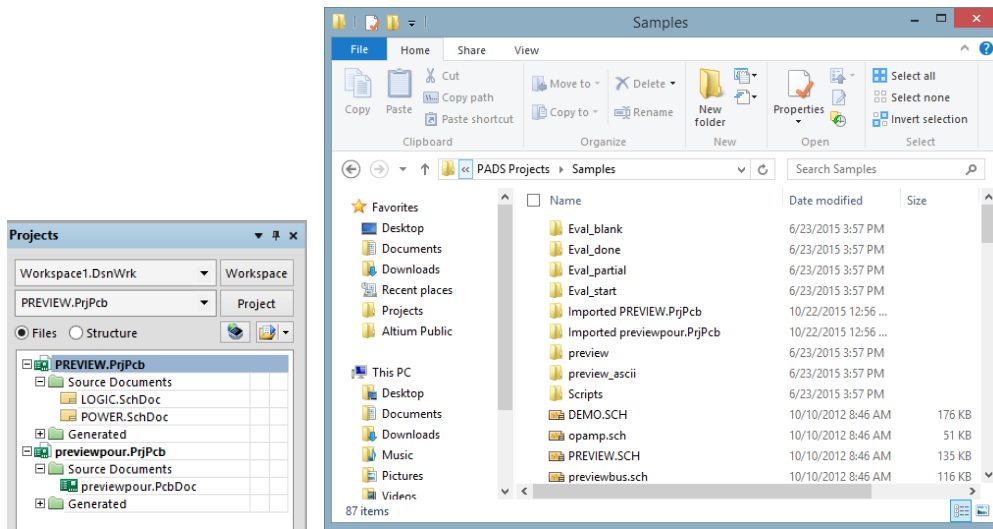


Altium Designer에서 패드 속성 구성하기

회로도 와 PCB 동기화 하기

프로젝트 관리

회로도 와 PCB 설계는 같은 Import Wizard 세션에서 변환할 수 있지만 이는 별도의 과정이 됩니다. 각 설계를 변환할 시 결과로 얻는 파일은 별도 프로젝트로 저장됩니다. 이 예시에서 “Preview” 회로도와 “Previewpour” PCB 설계는 동시에 Import Wizard를 거쳤지만 2가지의 다른 프로젝트와 프로젝트 폴더 구조가 생성되었습니다.



Altium Designer로 불러온 2가지 별도 프로젝트로 작업하기

프로젝트를 완전히 새로 생성해야 할 시에는 일부 파일을 관리해야 할 수 있습니다. 일반적으로 전체 프로젝트 파일을 한 폴더에 두는 것이 좋습니다. 또한 보통 여러 회로도 문서와 1개의 PCB 문서만이 존재하므로 가장 간단한 방법은 ‘.PcbDoc’ 파일을 ‘.SchDoc’(s) 파일이 있는 프로젝트 폴더로 복사해서 붙여 넣는 것입니다.

이 시점에서 불러온 PCB 프로젝트는 필요하지 않으므로(본 예시에서 “previewpour.PrjPcb”) 닫아도 됩니다. 패널에서 프로젝트 이름에 마우스 오른쪽 버튼을 클릭하고(“previewpour.PrjPcb”) **Close Project**를 클릭합니다. 이제부터 “Preview.PrjPcb”가 작업 대상 프로젝트가 됩니다. 또한 ‘.PcbDoc’ 파일을 프로젝트에 추가해야 합니다. **Project » Add Existing to Project**로 이동하여 ‘.PcbDoc’ 파일을 추가하고 프로젝트를 저장합니다.

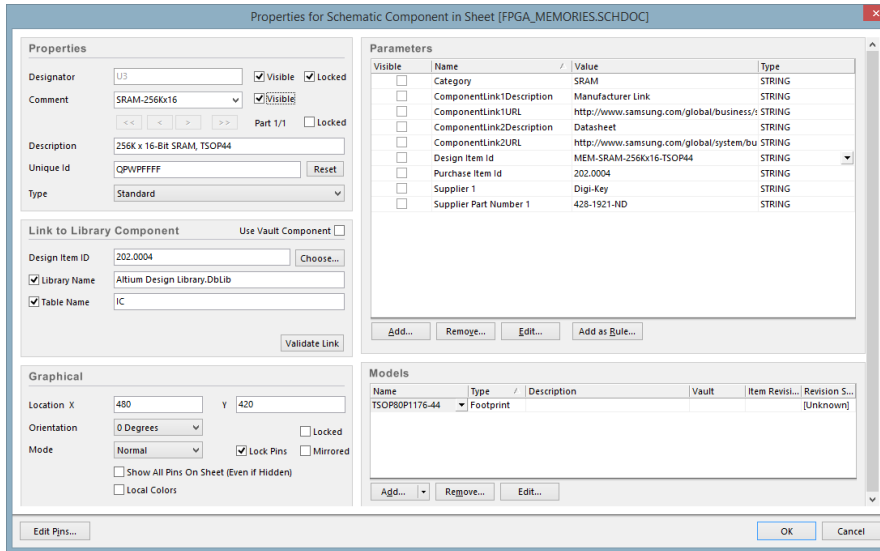
자세한 정보는 TechDocs에서 [프로젝트 관리](#) 를 참고하십시오.

동기화

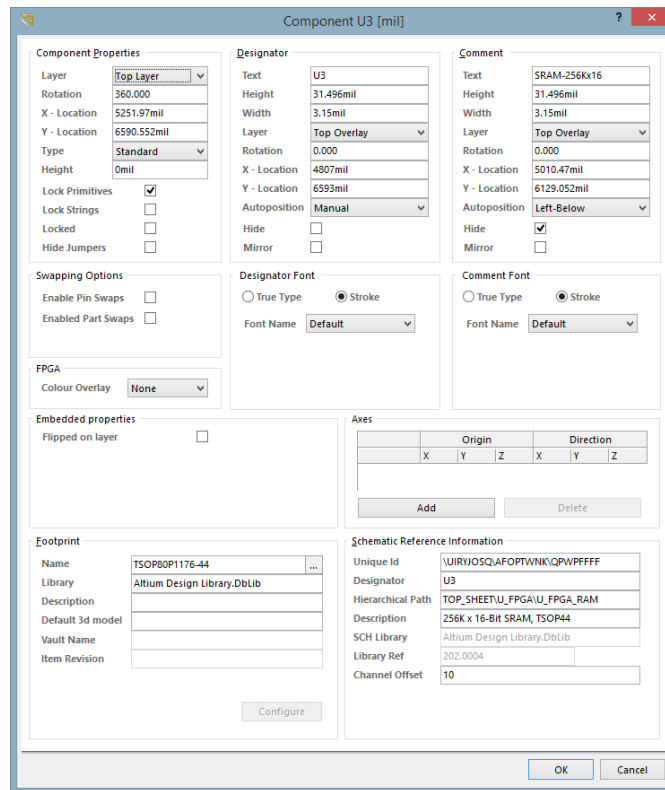
Altium Designer는 설계 참조를 사용하여 회로도 와 PCB를 동기화하는 대신 고유한 ID 값을 사용합니다. 이는 각 부품에 대한 고유 일련번호라고 볼 수 있습니다. Altium Designer에서 완전히 처음부터 설계를 만들 시 각 부품은 회로도 편집기 내에서 시스템이 생성한 고유 ID를 자동으로 부여받습니다.

PCB 에디터로 설계를 변환할 시 이 고유 ID도 전달되어 PCB 문서 내 해당하는 풋프린트에 상주합니다. 아래 예에서 ‘U3’에는 “QPWPFFFF” 라는 고유 ID가 할당되며 이는 회로도 와 PCB 에디터 양쪽 모두에서 볼 수 있습니다.

참고: 풋프린트에서 볼 수 있는 추가 ID 값(“UIRYJOSQIAFOPTWNK”)은 이 특정 설계의 계층적 성격으로 인해 부여된 것입니다.



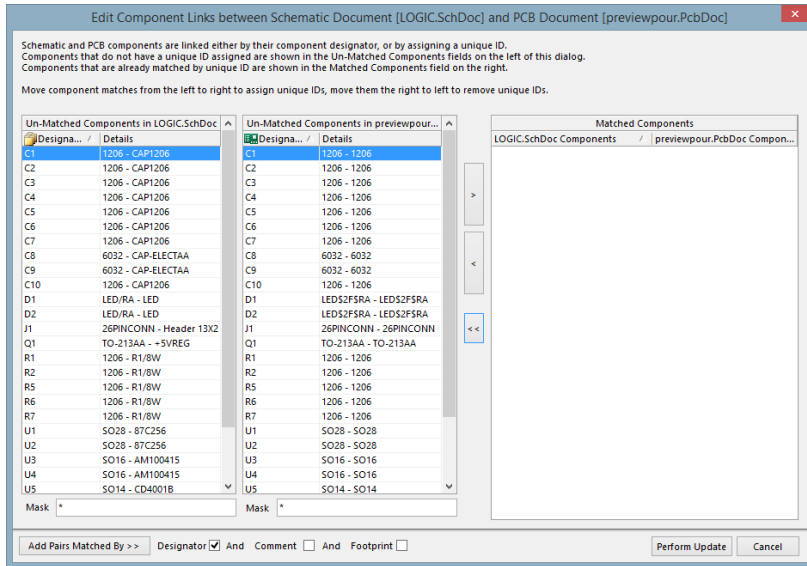
Altium Designer에서 회로도 부품 속성 구성하기



Altium Designer에서 부품 속성 구성하기

PADS® Layout의 PCB 설계를 변환할 시에는 기존 도면에 맞춰진다는 보장을 할 수 없으므로 고유 ID 값이 할당되지 않습니다. 다행히 아주 간단한 방법을 이용하여 변환된 회로도의 고유 ID 값을 변환된 PCB 설계로 동기화할 수 있습니다. 다음 단계를 통해 진행합니다.

1. '.PcbDoc' 파일을 열고 **Project » Component Links**로 이동합니다..

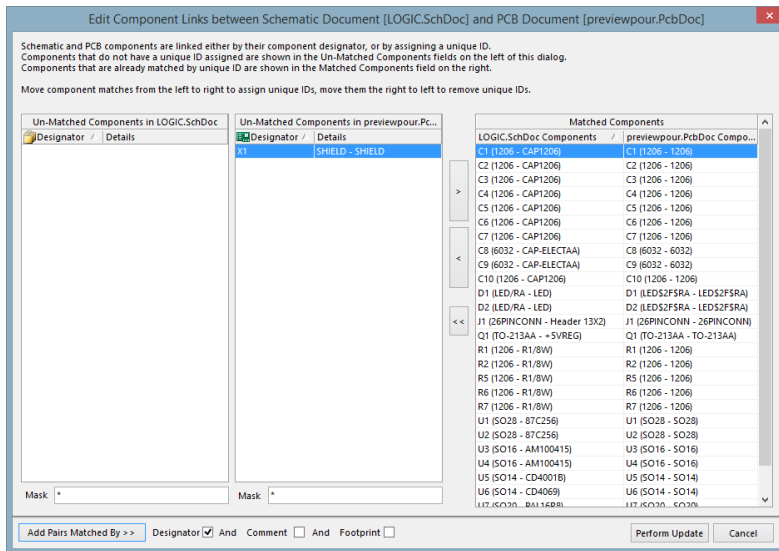


회로도 와 PCB 간 부품 링크 구성하기

왼쪽의 2개 창의 부품들은 맞는 고유 ID가 없습니다. 여기서의 목표는 PCB 부품과 회로도 부품을 맞추는 것입니다. 이는 한 쌍을 선택하고 > 버튼으로 이를 우측의 “Matched Component(맞는 부품)”에 추가하여 수동으로 가능합니다.

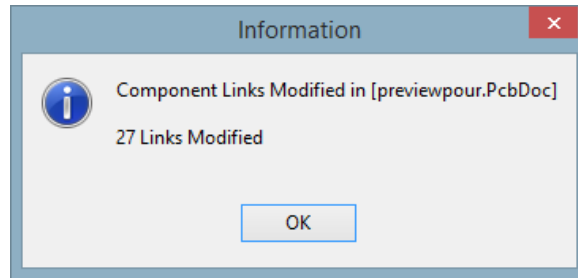
또한 설계 참조, 코멘트, 풋프린트의 조합을 이용하는 자동 방법도 있습니다. 이 설계는 원래 PADS®에서 완성된 것이므로 설계 참조가 회로도와 PCB 간에 직접 맞는 것이라고 가정하는 편이 안전합니다.

2. 반드시 **Designator** 박스에 체크해야 합니다(**Comment** 및 **Footprint**는 체크하지 않음).
3. **Add Pairs Matched By >>**(>>으로 맞는 쌍 추가) 버튼을 클릭합니다. 이는 설계 참조를 바탕으로 회로도와 PCB 부품을 자동으로 쌍을 이룹니다.



Altium Designer에서 설계 참조를 이용하여 회로도와 PCB 부품 쌍 만들기

4. **Perform Update**를 선택하여 고유 ID 쌍을 동기화합니다.
5. **OK**를 클릭합니다.

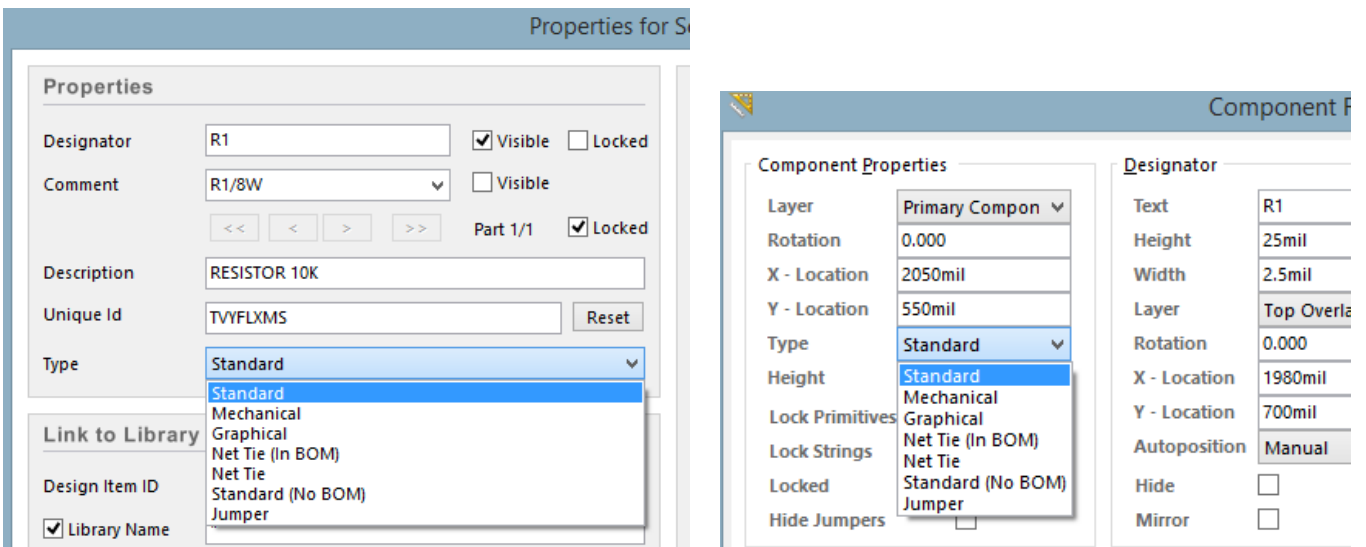


부품 링크 확인

이제 이 덕분에 크로스 프로빙 및 ECO(엔지니어링 변경 명령)가 훨씬 더 정확하게 작동할 수 있습니다.

참고로 위의 예에서는 설계 참조 목록이 완벽하게 1대 1로 맞지 않을 수도 있습니다. 이는 위의 “실드” 부품과 같이 회로도가 아닌 보드에 추가된 기계적 유형 부품으로 인한 것일 수 있습니다. 부품으로 추가된 마운팅 홀도 맞지 않는 경우가 많습니다. 부품을 BOM에 추가하기 위해 회로도에 추가했으나 히트 싱크와 같이 PCB에 물리적으로 표현되지 않은 경우 반대의 상황도 발생할 수 있습니다.

PADS®는 이러한 상황을 ECO 등록 속성을 이용하여 처리하는 반면 Altium Designer는 ECO의 행동을 정의하기 위해 여러 부품 옵션을 가지고 있습니다. 회로도 및 PCB 에디터 양쪽의 부품 속성에는 아래와 같이 사용 가능한 부품 유형 목록이 있습니다.



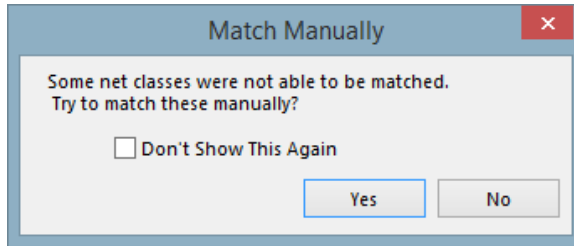
Altium Designer에서 ECO 속성 옵션 구성하기

Altium Designer의 부품 유형에 대한 자세한 정보는 [Component, Model, and Library Concepts](#) 에서 볼 수 있습니다.

“Shield”(X1) 부품을 기계적(Mechanical)으로 설정하면 이 요소는 부품 링크 대화창에서 삭제됩니다. 더 중요한 점으로, 이렇게 하면 ECO 과정이 X1을 없는 부품으로 무시하게 됩니다. 이렇게 설정하지 않는다면 X1은 회로도에 해당하는 요소가 없으므로 ECO 중에 삭제됩니다.

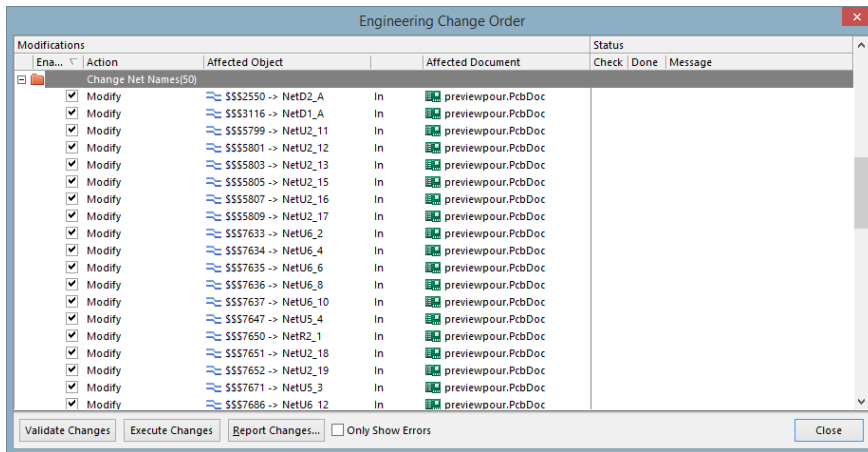
엔지니어링 변경 사항 순서

이 시점에서 ECO를 실행하면 회로도 와 PCB 간의 다른 비밀관성이 드러나야 합니다. PCB에서 **Design » Import Changes from <project name>**로 이동합니다. Net 이름 및/또는 클래스를 수동으로 맞추지 묻는 1개 또는 2개의 메시지 창이 열립니다. 먼저 가장 좋은 선택은 여기서 **No**를 선택하고 남은 ECO 과정을 진행하여 다른 Net의 이름을 변경하거나 다른 변경사항을 적용하는 것입니다.



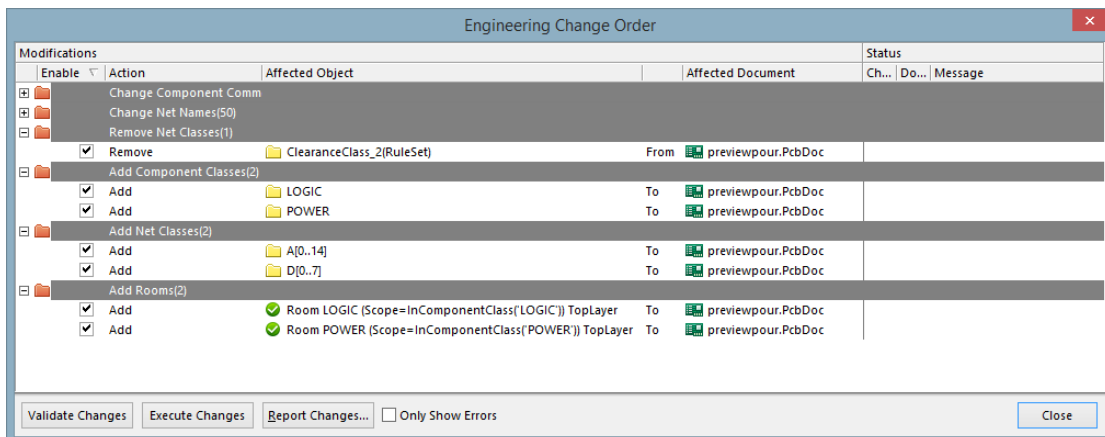
수동으로 부합하는 Net 이름/클래스 확인하기

ECO 과정에서 요하는 변경사항은 다양할 수 있지만 그 중에서 더 중요한 것으로는 시스템에서 할당된 Net 이름을 변경하는 작업이 있습니다. 회로도 불러오기 과정 섹션에서 다른 바와 같이 PADS® Logic과 Altium Designer는 시스템에서 할당된 Net 이름을 각기 다르게 생성합니다.



Altium Designer의 시스템 할당 Net 이름

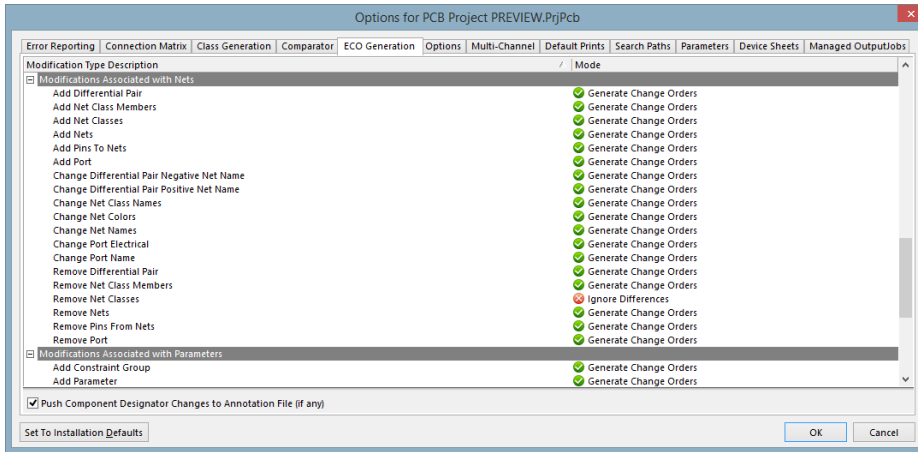
ECO 과정에서 요청할 수 있는 그 외 변경사항 중에는 **Project » Project Options**을 통해 제어할 수 있는 것도 있습니다. Altium Designer는 기본적으로 Net 클래스, 부품 클래스, 룸 등을 생성, 삭제 및/또는 동기화하려 시도합니다.



Altium Designer에서 ECO에 대한 프로젝트 옵션 구성하기

이러한 변경사항을 수용할 지 여부는 사용자가 결정해야 합니다. ECO 대화창의 체크박스를 사용하여 특정한 변경사항을 일시적으로 비활성화할 수 있습니다. ECO중에 이루어진 수정의 유형에 대한 영구적인 변경사항은 **Project » Project Options** 메뉴에서 제어하며 이후 **ECO Generation** 탭의 옵션에서 설정할 수 있습니다.

일반적으로 변경이 필요한 중요한 옵션으로는 **Remove Net Classes**가 있습니다. Altium Designer는 회로도 및 PCB에서 생성된 Net 클래스를 동기화하려 시도합니다. 설계 규칙 변환 중에 Net 클래스가 생성된 경우 및/또는 Net 클래스가 PADS® Logic이 아닌 PADS® Layout에서 정의된 경우 ECO 과정은 기본적으로 PCB와 회로도를 정확히 맞추기 위해 이를 삭제하려 시도합니다.

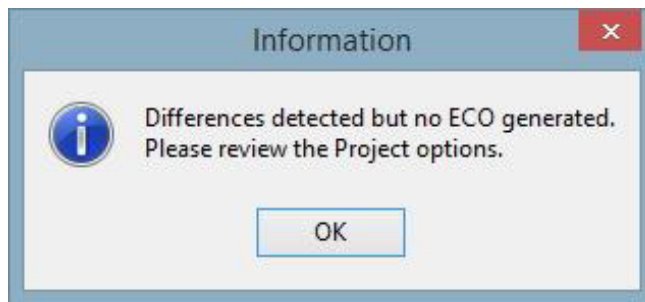


Altium Designer에서 ECO에 대한 프로젝트 수정 옵션 구성하기

‘차이를 무시하기 위해’ **Remove Net Classes** 옵션을 설정하면 PCB 파일에만 존재하는 Net 클래스를 삭제할 수 없게 됩니다.

ECO 과정이 회로도 및 PCB 간의 차이를 나타내도록 만드는 상황은 다양합니다. 이는 여기서 다루지 않으나 사용자는 여기서 제공한 개념을 이용하여 차이가 발생하는 원인을 파악할 수 있을 것입니다. 자세한 정보는 TechDocs의 [도면 동기화 및 차이점 찾기](#) 를 참고하십시오.

궁극적인 목표는 업데이트를 실시한 후 ECO가 생성되지 않는(또는, 또는 차이를 찾을 수 없다(이는 프로젝트 옵션 설정에 따라 달라집니다))는 메시지가 출력되는 것입니다.



차이가 없음을 나타내는 대화창

ALTIUM DESIGNER의 다음 단계

이제 PADS®의 설계 파일을 모두 변환했으니 Altium Designer가 제공하는 멋진 통합 설계 환경의 세부 사항을 더 깊게 즐길 때입니다. Altium Designer를 100% 활용할 수 있도록 다음의 관련 문서, 동영상 튜토리얼, 추가 교육 자료 링크를 참고하십시오.

관련 문서

- [Getting Started with Altium Designer](#) – Altium Designer으로 첫 회로도 및 보드 레이아웃을 만들 수 있는 완벽한 튜토리얼입니다.
- [The Altium Designer Environment](#) – Altium Designer의 통합 설계 환경을 구석구석 살펴보세요.
- [Library and Component Management](#) – Altium Designer 워크스페이스에서 간단하게 라이브러리와 부품을 관리하는 방법을 알아보세요.

위의 링크는 Altium Designer 관련 문서 중에서도 빙산의 일각에 불과합니다. techdocs.altium.com 에서 더 많은 문서를 확인해 보세요.

비디오 라이브러리

튜토리얼, 기능 개요를 비롯하여 Altium Designer의 환경을 익힐 수 있는 도움말을 영상으로 제공합니다. [Altiumlive Video Library](#) 에서 확인해 보세요.

라이브 교육 이벤트

Altium Designer를 보다 확실하게 배우고 싶으신가요? 웨비나, 교육과정, 세미나 등의 라이브 이벤트에 등록하세요 [Altium Events page](#) 에서 이벤트를 확인할 수 있습니다.

다른 도움이 필요하신가요?

저희 고객지원팀은 언제든지 고객님의 문의와 어려움에 도움을 드립니다 [Contact Us page](#) 를 통해 문의해 주십시오.