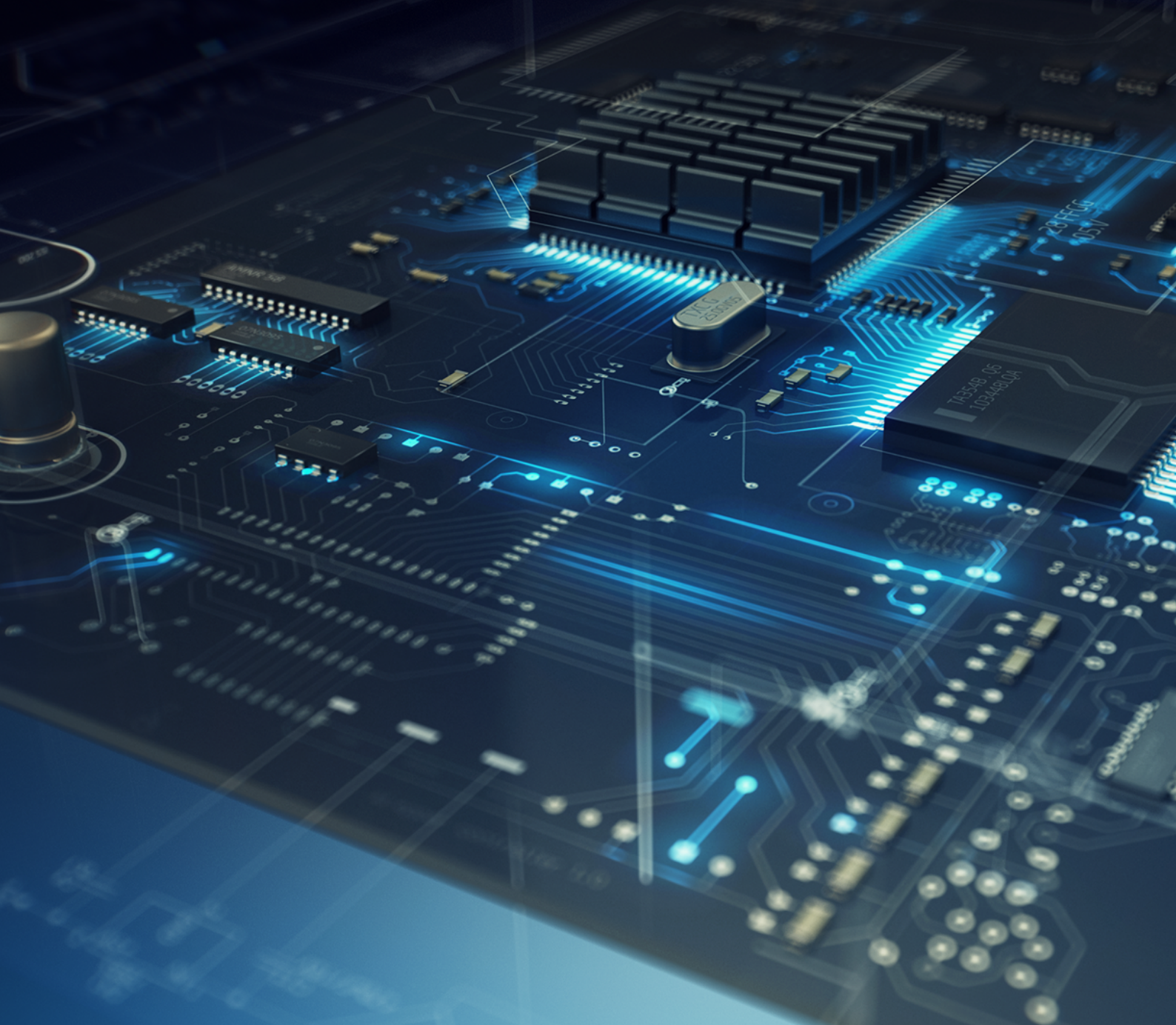


**Altium**<sup>®</sup>

# Migration Guide

Mentor PADSから  
Altium Designerへの移行





## 目次

### 1. ALTIUM DESIGNERの基本理念

### 2. PADSファイルの準備

- インポーターのインストール
- サポートされたPADSバージョンとファイル フォーマット
- ASCIIファイルの作成
- データの完全性

### 3. 回路図の変換

- 回路図のインポート プロセス
- 回路図のクリーンアップ

### 4. PCBの変換

- PCBのインポート プロセス
- PCBデザインのクリーンアップ

### 5. コンポーネント ライブラリの変換

- コンポーネント ライブラリのインポート プロセス
- 回路図シンボル ライブラリのクリーンアップ
- フットプリント ライブラリのクリーンアップ

### 6. 回路図とPCBの同期

- プロジェクト管理
- 同期
- Engineering Change Order

### 7. 次のステップ

## ALTIUM DESIGNERの基本理念

Altium Designer® のメインテーマは、PCB設計に対する統一アプローチです。Altium Designerの設計に対する取り組みは、従来からある数多くの製品に対するそれとは異なります。Altium Designerのワークフローには、PCB設計を問題なく完了するために必要な、別々でありながら相互に関係のあるすべての要素が1つにまとめられています。

PADS®を使用しているユーザーであれば、おそらく、設計プロセスの段階ごとに複数のツールとインターフェースを使用することに慣れているでしょう。それぞれのツールは固有の専門タスクに優れているものの、結局のところ、複数のインターフェース、ワークフロー、メソドロジーを覚えて管理するのはユーザーになります。Altiumが何年にもわたって投げかけている問いはシンプルです。このようなPCB設計アプローチに効果はあるのでしょうか。

Altium Designerを最初に開発したときの目標は、設計プロセス全体にわたって、エンジニアが効率とワークフローを完全にコントロールできる、統一された設計体験を生み出すことでした。この目標を達成するためには、エンジニアに日常的に課せられたPCB設計体験を全面的に理解する必要がありました。統一されたPCB設計アプローチの一環として、単一のAltium Designerインターフェース内で以下のプロセスが結合されました。

- 回路設計
- 基板レイアウト
- データ管理
- ルールおよび制約条件
- 部品表
- サプライチェーン統合
- エンジニアリング変更管理
- MCADコラボレーション
- 製造ドキュメント出力

これらすべての要素が統一インターフェース内に組み込まれているので、設計ワークスペース内で使用する適切なファイルを選択するだけで、タスク間を切り替えることができます。残りの処理はすべて統一インターフェースが対応し、現在の特定タスクに必要なツールを提供します。

30年以上におよぶPCB設計の研究開発からAltiumが導き出したのは、エレクトロニクス設計にとってもっとも効率的な方法は統一PCB設計アプローチであるという結論です。この基本理念は個人のエンジニアだけでなく、設計チーム全体にも当てはまります。プロジェクト内で複数のエンジニアが同じインターフェースを簡単に使用できるので、複数の設計環境間を切り替えるために設計データを変換して時間を無駄にすることはありません。



Altium Designer環境への旅を是非お楽しみください。

David Cousineau, Sr Field Applications Engineer, The Altium Designer Team

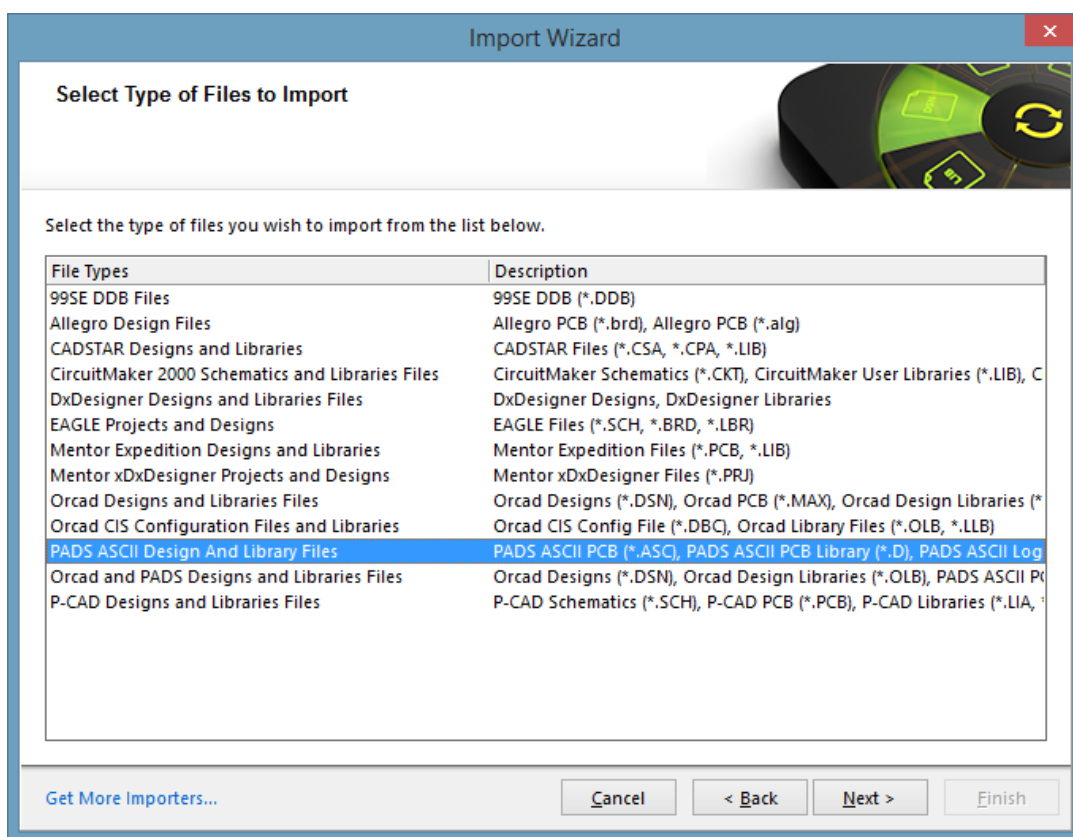
## PADSファイルの準備

### IMPORT WIZARDのインストール

PADSファイルの準備を始める前に、PADSインポーターがインストールされていることを確認します。この作業はAltium Designer内で直接実行できます。以下の手順に従います。

1. Altium Designerを開きます。
2. **File** » **Import Wizard**を選択します。
3. Welcome画面で**Next**を選択します。

次に表示される‘Select Type of Files to Import’画面に、インストール済みのインポーターの一覧が表示されます。

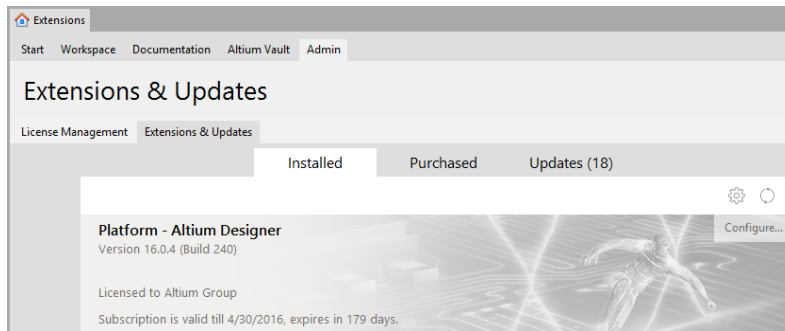


Altium Designer Import Wizardのファイル タイプの選択

Altium Designerのインストール中に、どのインポーターとエクスポーターをインストールするかを選択できます。デフォルトでは、PADSトランスレーターはインストール対象として選択されていません。

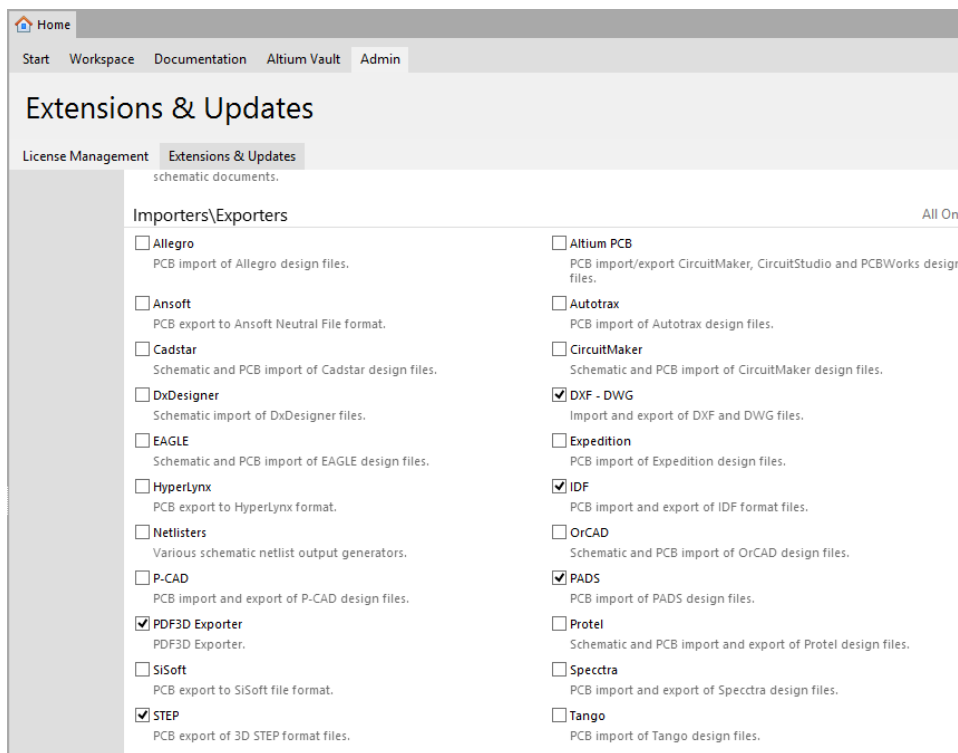
上に示した‘PADS ASCII Design and Library Files’エントリがリストに含まれていない場合、以下の手順に従って追加する必要があります。

1. Import Wizardダイアログ ウィンドウの左下にある**Get More Importers..**を選択します。Altium Designer環境内に**Extensions & Updates**タブが表示されます。
2. 右側にある**Configure**を選択し、Importers¥Exportersセクションまで下方方向にスクロールします。



Altium DesignerのExtensions & Updatesセクション

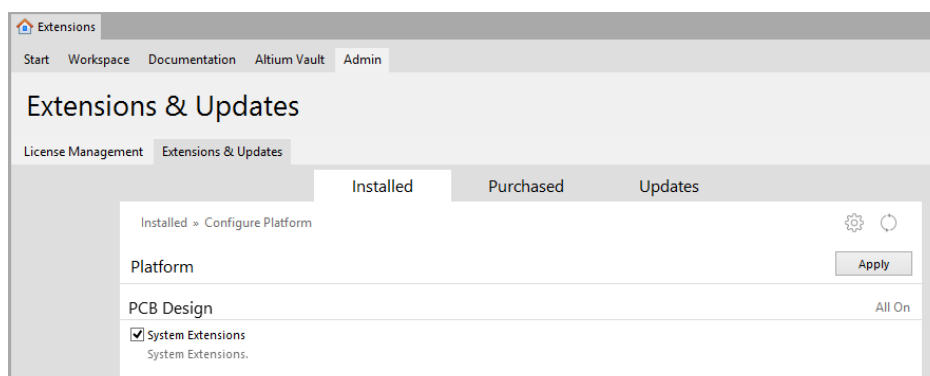
3. PADSの隣のチェックボックスを選択して、この拡張機能を有効にします。
4. 一番上までスクロールして戻り、Applyを選択してインストールを完了します（Altium Designerの再起動が必要）。



Enable the PADS importer in the Altium Designer Extensions & Updates section

5. **File » Import Wizard**を選択し、PADSインポーターが追加されていることを確認します。

Altium Designerにインポーターが追加されたので、インポート プロセス用にPADSファイルの準備を開始します。





## サポートされたPADSバージョンとファイル フォーマット

Altium DesignerのPADS Import Wizardは、各種のファイル バージョンをサポートしていますが、以下に示す最新のPADSファイル バージョンを使用することを推奨します。

- **PADS Logic/PowerLogic** – V5.2、V2005.x、V9.x (V9.5まで) 、VX.1、VX.2
- **PADS Layout/PowerPCB** – V5.0、V2005.x、V2007.x、V9.x (V9.5まで) 、VX.1、VX.2

Import Wizardの使用に際しては、以下の点に注意してください。

- Import Wizardにより、回路図、PCB、ライブラリ ファイルが変換されます。
- ウィザードが正しく動作するためには、すべてのファイル タイプでASCIIテキスト バージョンが必要です。
- ソースのPADSバイナリ ファイル (例: 基板ファイルの\*.pcb) は、インポート ソースとして使用されない場合があります。

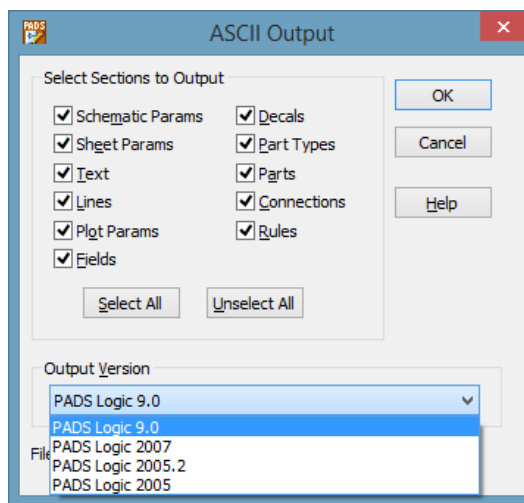
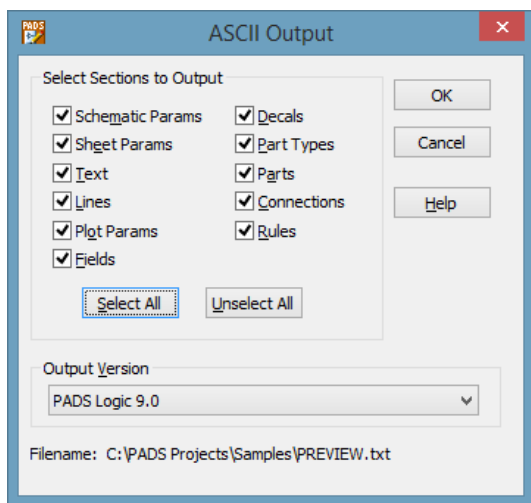
アーカイブされたASCIIバージョンのファイルを使用できる場合を除いて、はじめに必要なファイルを作成するためには、有効なPADSライセンスが必要になる場合があります。エディターごとのASCII作成プロセスの詳細を以下に示します。

## ASCIIファイルの作成

### PADS LOGIC

回路図をASCIIベースの'.txt'ファイルとしてエクスポートする必要があります。以下の手順に従います。

1. PADS Logicで回路図デザインを開きます。
2. **File** » **Export**を選択します。
3. 必要に応じてファイル名とフォルダパスを変更し、**Save**を選択します。
4. 次のダイアログで、すべての回路図データを含めるために**Select All**ボタンを選択します。
5. Output Versionドロップダウン ボックスで、必要な出力バージョンを選択します。
6. **OK**を選択してファイルを作成します。

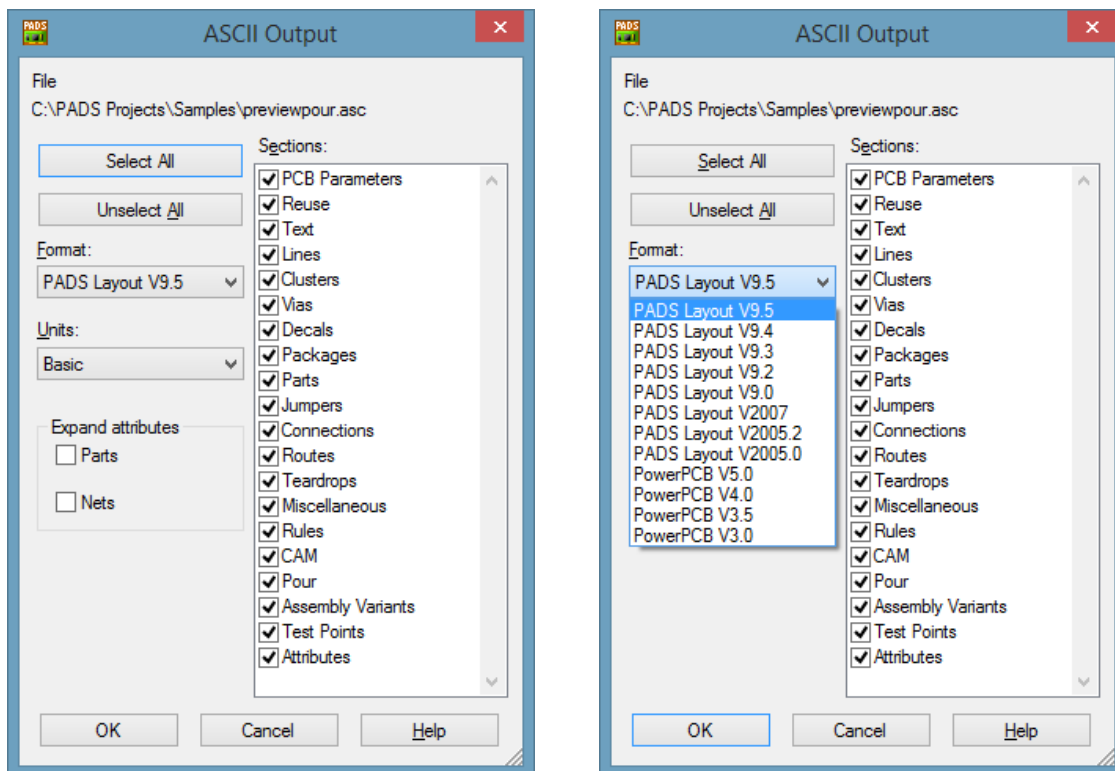


PADS Logicでの回路図用ASCIIファイルの作成

## PADS LAYOUT

デザインも同様に、ASCIIベースの'.asc'ファイルとしてエクスポートする必要があります。以下の手順に従います。

1. PADS Layoutで基板レイアウトを開きます。
2. **File** » **Export**を選択します。
3. 必要に応じてファイル名とフォルダパスを変更し、**Save**を選択します。
4. 次のダイアログで、すべてのPCBデータを含めるために**Select All**ボタンを選択します。
5. Output Versionドロップダウン ボックスで、必要な出力バージョンを選択します。
6. Unitsの設定が**Basic**になっていることを確認します。
7. **OK**を選択してファイルを作成します。



PADS Layoutでの基板レイアウト用ASCIIファイルの作成

PADSの物理デザイン再利用(Physical Design Reuse)ブロックは変換できません。これらのブロックがPADSデザインに含まれる場合、はじめにベース オブジェクトに分割する必要があります。実行するには、PADS Layoutで再利用ブロックを選択し、マウス ボタンを右クリックしてBreak Reuseを選択します。

## PADS LOGICの回路図シンボル ライブラリ

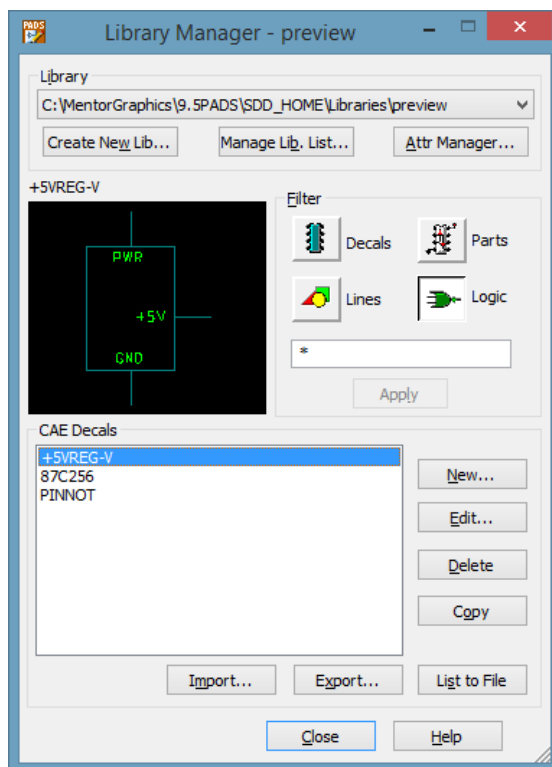
**PADSLogicの回路図シンボルライブラリ** を変換する場合、PADSから2つのASCIIベース ファイルをエクスポートする必要があります。PADS回路図シンボルは、CAEまたはロジック セクションのデータ（基本的にパーツのグラフィカル表現）と、パーツ セクションのデータ（パーツの“インテリジェンス”をパラメータ化したもの）の2つの部分で構成されています。

PADSライブラリ構造では、CAEデカルには'.ld9'拡張子を、パーツには'.pt9'拡張子を付けてこれらのセクションが保存されます。これらがソース バイナリファイルとなるため、変換プロセス向けにASCIIとして保存する必要があります。対応するASCIIファイル名は以下のとおりです。

- .ld9 (バイナリ): .c (ASCII)
- .pt9 (バイナリ): .p (ASCII)

ライブラリをASCIIフォーマットにエクスポートするには、以下の手順に従います。

1. PADS Logicを開きます。
2. **File** » **Library**を選択してLibrary Managerを起動します。



PADS Logic Library Manager

3. ライブラリ フィルターを設定して特定のライブラリを対象に設定します（All Libraries設定はエクスポートでは使用できません）。
4. Filterを**Logic**に設定して、ライブラリのCAEセクションを選択します。
5. 'CAE Decals'リストで、エクスポートするデカルを選択します（**ヒント**: リスト全体を選択するには、最初のエンTRIESをクリックしてから下方方向にスクロールし、**Shift**キーを押しながら最後のエンTRIESを**クリック**します）。

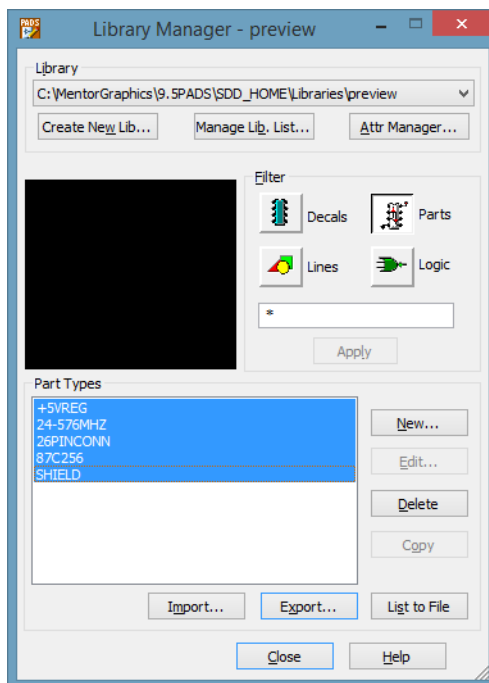
**注:** “.c”ファイルと“.p”ファイルに名前を付ける際は、同じ基本ファイル名を指定してください。たとえば、上記ライブラリのファイル名は“preview.c”および“preview.p”とします。

6. **Export**ボタンを選択して、拡張子“.c”の付いたファイルを作成します。



7. Library Managerダイアログを開いたままでFilterを**Parts**に変更し、同じ手順で対象のパーツを選択して拡張子“.p”の付いたファイルを作成します。

**注:** “.c”ファイルと“.p”ファイルに名前を付ける際は、同じ基本ファイル名を指定してください。たとえば、上記ライブラリのファイル名は“preview.c”および“preview.p”とします。



PADS Logic Library Managerでのパーツタイプの選択

Import Wizardは変換中、'.c'ファイルのグラフィカル データに、'.p'ファイルのピン、属性などのデータを組み合わせて、1つのAltium Designer 回路図ライブラリファイルを作成し、拡張子'.SchLib'を付けます。詳しくは、下記の“コンポーネント ライブラリの変換”セクションを参照してください。

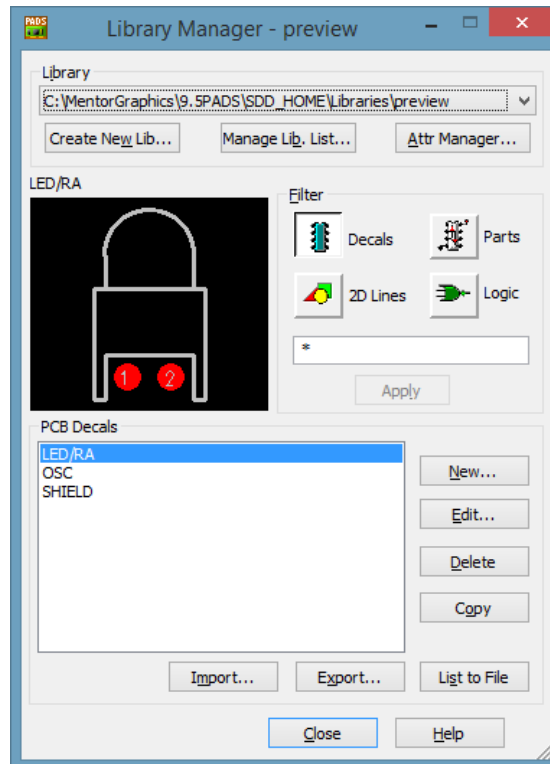
## PADS PCBデカル ライブラリ

PADSデカル ライブラリとAltium Designerフットプリント ライブラリは1対1で対応するので、**PADS PCB Decal**（またはフットプリント）からエクスポートする必要のあるファイル タイプは1種類だけです。PADSライブラリ構造では、デカル ファイルに拡張子'.pd9'が付けられて保存されます。これらがソース バイナリ ファイルとなるため、変換プロセス向けにASCIIとして保存する必要があります。対応するASCIIファイル名は以下のとおりです。

- .pd9 (バイナリ): .d (ASCII)

PADS PCBデカルまたはフットプリント セクションをエクスポートするには、以下の手順に従います。

1. PADS Layoutで**File » Export**を選択します。
2. ライブラリ フィルターを設定して特定のライブラリを対象に設定します（All Libraries設定はエクスポートでは使用できません）。
3. Filterを**Decals**に設定して、ライブラリのPCBデカル セクションを選択します。
4. PCB Decalsリストで、エクスポートするデカルを選択します（ヒント: リスト全体を選択するには、最初のエンTRIESをクリックしてから下方向にスクロールし、Shiftキーを押しながら最後のエンTRIESをクリックします）。
5. **Export**ボタンを選択して、拡張子“.d”の付いたファイルを作成します。



PADS Logic Library ManagerでのPCBデカルの選択

Import Wizardは、'.d'ファイルのみを使用してAltium Designerフットプリント ライブラリを作成し、".PcbLib"拡張子を付けます。

**注:** PADSライブラリ構造の2Dライン セクション（'.ln9'）は直接変換できないので、エクスポートする必要はありません。Altium Designerは、PADSとは異なる方法で2D描画アイテムをライブラリ構造に保存するので、対応する（同等の）ライブラリ ファイルはありません。2Dアイテムを変換する必要がある場合、個々のアイテムをPADS回路図またはPCBに追加し、その後で変換します。

## データの完全性

変換ツールが正しく動作するためには、ソース データが正常である必要があります。PADSファイルのソース データが破損することは珍しくありません。

その場合も、PADSツール内でファイルを使用する限り、問題は明らかにならないかもしれません。しかし、移行プロセスのためにデータをASCIIでエクスポートするとき、情報のフォーマット設定で何らかの異常があると、インポーターの処理が失敗する場合があります。これは、変換に失敗する原因として圧倒的に最多です。これに対して、ソース データの破損を調べるためにPADSが提供しているチェックは比較的単純なものです。

ソース データが破損しているかどうかをチェックするには、データの取得元のPADSEディターで、空のワークスペースにASCIIベースのデータを再インポートする必要があります。インポート中、PADSはASCIIデータからファイルの再構成を試み、何らかの異常を見つけると、これを破棄してエラーを記録します。

このプロセスは、PADSユーザー間で“ASCII-ing in”としてよく知られています。たとえば、PADS Layoutのデザインから'.asc'を作成した後で、**File » New**を選択して空のデザイン ファイルを作成します。次に、**File » Import**を選択し、新しく作成した'.asc'ファイルを開きます。

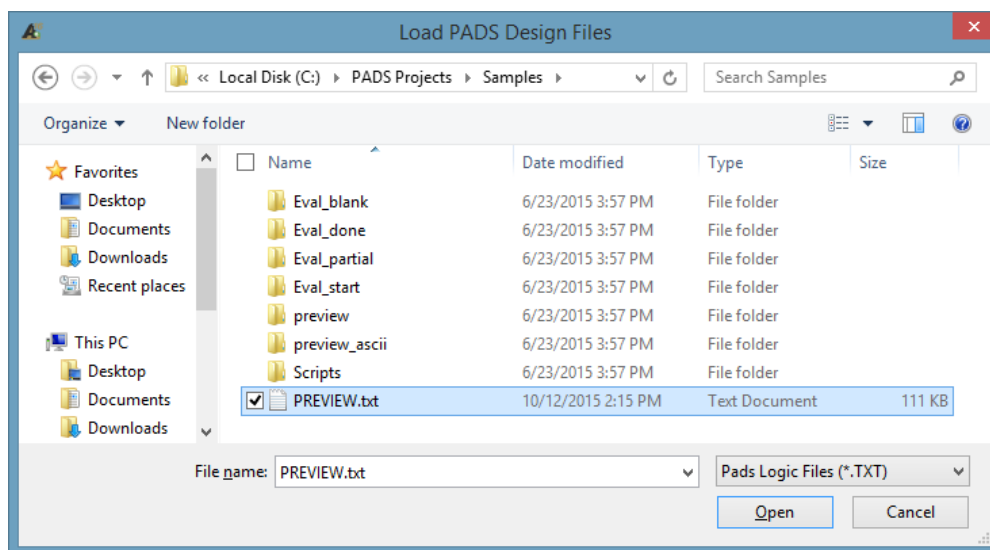
ASCIIファイルでエラーが発生しない場合、PCBの表示は元々の表示と一致します。しかし、何らかの問題がある場合、PADS環境の下部のOutput Windowにこれが記録され、詳細調査用のエラー ログが作成されます。Import Wizardで使用するための新しいASCIIファイルが作成されるのは、PADS関連の問題をすべて修正した場合に限られます。

## 回路図の変換

### 回路図のインポート プロセス

PADS Logic回路図のインポートは、単純で分かりやすいプロセスです。インポートを実行するには、以下の手順に従います。

1. Altium Designerで**File** > **Import Wizard**を選択し、Import Wizardを起動します。
2. Welcome画面で**Next**を選択します。
3. File Typesで“PADS ASCII Design and Library Files”エントリを選択し、**Next**を選択して次に進みます。
4. **Add**を選択して、PADSデザイン ファイルをロードします（この画面のデフォルト設定では、拡張子‘.asc’の付いたPADS Layoutファイルが対象になります）。
5. 右下のドロップダウンを“PADS Logic Files (\*.txt)”に変更し、エクスポートしたPADS Logicファイルの場所を参照します。



Altium Designer Import WizardでのPADSデザイン ファイルのロード

このダイアログでは、複数のファイルを選んで変換用に追加できます。ファイルが含まれるフォルダが異なる場合、再度**Add**ボタンを選択して別の場所を参照し、ファイルを追加します。

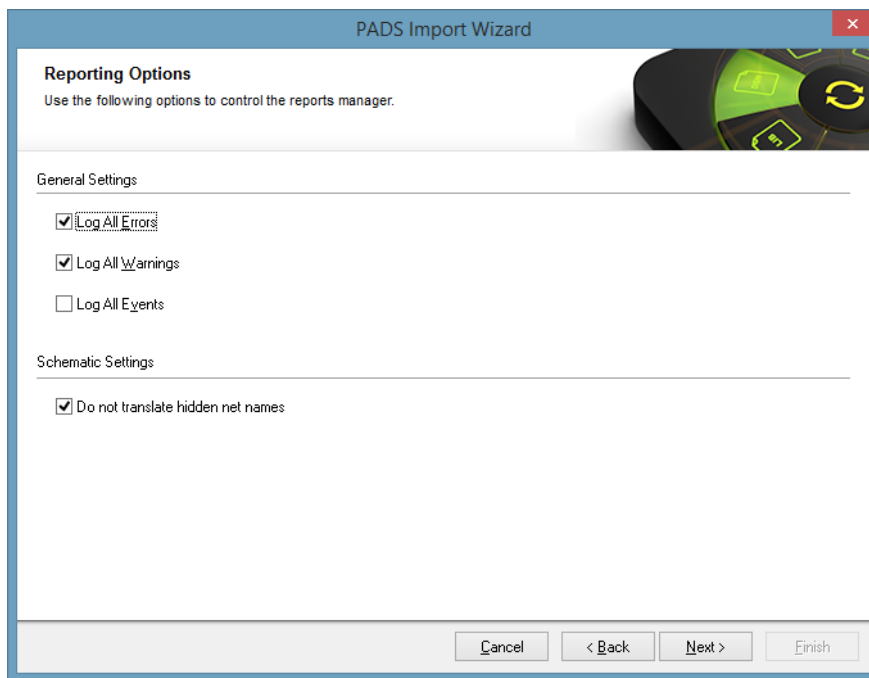
**注:** PADS LogicファイルとPADS Layoutファイルを同じセッション内で変換することができます。この場合、Addを選択した後にファイル タイプを“PADS Design Files (\*.asc)”に変更し、PADS Layoutファイルを追加します。

6. **Next**を選択し、Import Wizardの処理を続行します。
7. Reporting Options画面で“**Do not translate hidden net names**”を有効にすることを推奨します。

**注:** すべての回路図ソフトウェア システムには、ユーザー定義されていないネット（CLKやGNDなどの特定の名前が付いていないネット）に対してネット名を割り当てる方法があります。PADS Logicでは、これらのシステム生成ネット名として、“\$\$\$”で始まり、ランダムに生成された一連の数字を付加した名前を使用します(例: \$\$\$16581)。

Altium Designerは、別の方法でネット名を自動生成します（接頭辞“Net”の後に接続コンポーネントのピン番号を付加 - NetC1\_1）。ラベルの付いていないネットに対しては、Altium Designer独自のレコードを維持することを推奨します。ネット ラベル“\$\$\$”がAltium Designerに取り込まれる場合の最大の難点は、これらのラベルが回路図ページに表示されるので、視覚的に紛らわしく、接続エラーの原因となる可能性があることです。

8. **Next**をクリックするとレビュー ページが表示され、変換されたファイルとその保存場所が表示されます。



PADS Import Wizardでのプロジェクト出力ディレクトリの選択

9. デフォルトで、'Project Output Directory'は選択されたファイルの場所に設定されています。複数のフォルダを使用した場合は空白になります。

**注:** 変換結果（作成されたAltium Designerファイル）は、出力ディレクトリ内の新規フォルダに保存されるので、変換済みデータ向けにフォルダを作成する必要はありません。

10. ここで**Next**をクリックすると、変換プロセスが開始されます。変換にかかる時間は、デザインの数とサイズによって決まります。小さいデザインであれば数秒で完了しますが、非常に大きいデザインであれば最大で何分かかります。プロセスが完了すると、“complete”画面が表示されます。**Finish**をクリックしてこの画面を閉じ、変換された回路図を確認します。

## 回路図のクリーンアップ

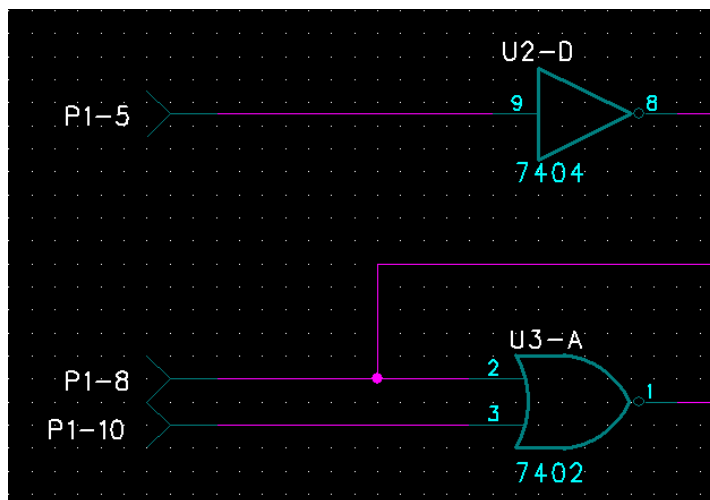
少なくとも若干のクリーンアップ作業は常に発生します。これは通常、2つのCADシステムのデータ構造間に不一致があるか、または特定の機能やオブジェクト タイプの実装方法が異なることが原因です。

このセクションでは、変換された回路図に対して調査が必要になる一般的な領域について説明します。以降のクリーンアップ セクションの前提として、ユーザーがAltium Designerの基本的な使用法を理解しているものとします。Altium Designerの基礎を学習するには、[Exploring Altium Designer](#)を参照してください。

### コネクタ

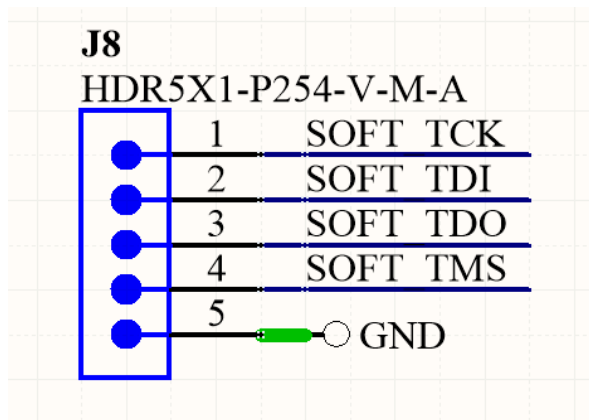
PADS LogicとAltium Designerにおける最大の違いの1つは、コネクタ コンポーネントのサポートです。Logicには特別なコネクタ コンポーネントタイプがあり、これを利用すると、個々のコネクタ ピンをそれぞれ別々に配置して動かすことができます。

Altium Designerはこのタイプをサポートしておらず、コネクタをその他すべてのコンポーネント タイプと同様に扱うので、すべてのピンはグループ化されてブロックとして処理されます。次に示すLogic回路図の例では、コネクタP1の各ピンが別々に配置されています。



PADS Logicでのコネクタの例

対照的に、下図に示す標準的なAltium Designerのコネクタでは、1つのブロック内にピンがまとめられています。



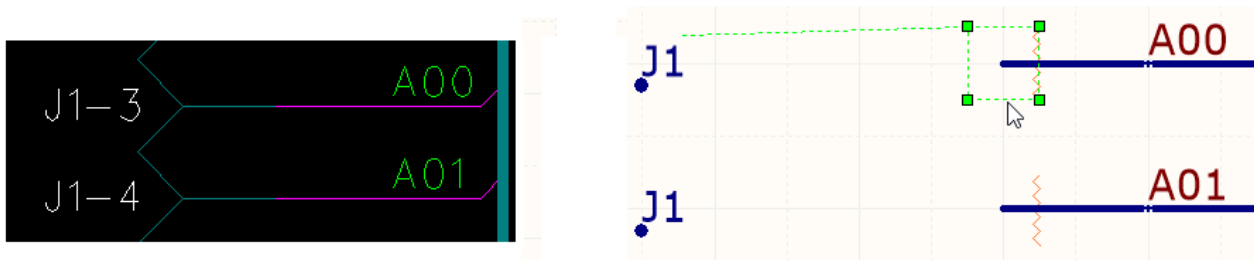
Altium Designerでのコネクタの例

このような不一致があるため、PADS Logicにおいてこの方法で作成されたコネクタはすべて、Altium Designerの“ブロック型”コネクタで置換する必要があります。この作業は変換前または変換後に実行できますが、回路図レイアウトの大きな変更につながる場合があります。

### Altium Designerでの変換済みコネクタの削除

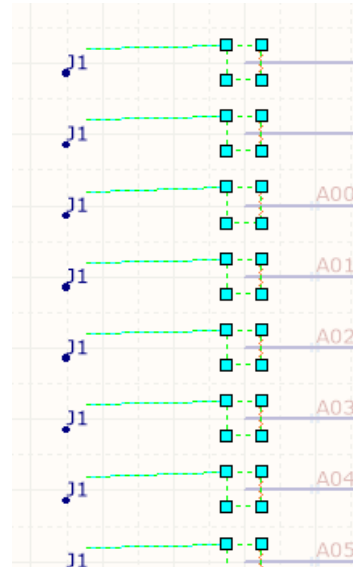
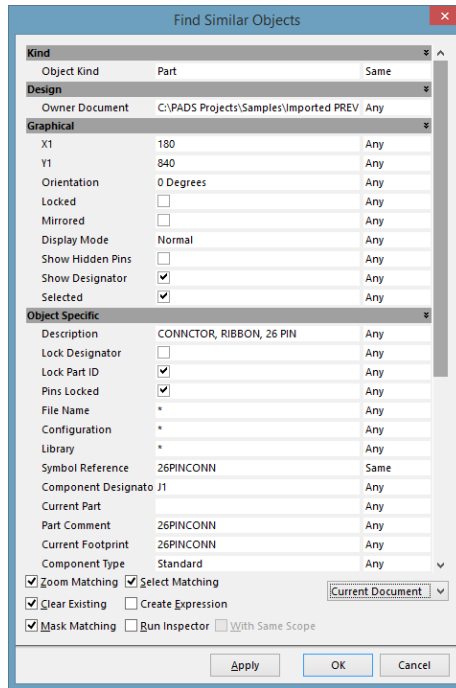
Altium Designerで類似オブジェクトの検索機能を使用すると、変換済みコネクタを素早く削除できます。以下の手順に従います。

1. はじめに、いずれかのコネクタの位置を見付けます。このオブジェクトタイプはサポートされていないので、グラフィカル変換は行われていません。
2. コネクタピンを配置する箇所を選び、以下に示すように“ゴースト”部分を選択してハイライトします。
3. 選択ボックス内を右クリックし、ポップアップメニューから**Find Similar Objects**を選択します。



Altium Designerでのコネクタピンの選択

4. 'Symbol Reference'フィールドまで下方方向にスクロールし、ドロップダウン フィールドを**Any**から**Same**に変更します。
5. ダイアログ下部の**Select Matching**チェックボックスが有効になっていることを確認し、**OK**をクリックします。
6. すべてのコネクタ ピンが選択された状態で**Delete**キーを押すと、このページからすべてのコネクタ ピンが削除されます。すべての回路図シートに対してこの手順を繰り返します。



Altium Designerでの類似オブジェクトの検索機能の使用

類似オブジェクトの検索機能について、詳しくは以下のAltium Designerドキュメンテーション記事を参照してください。

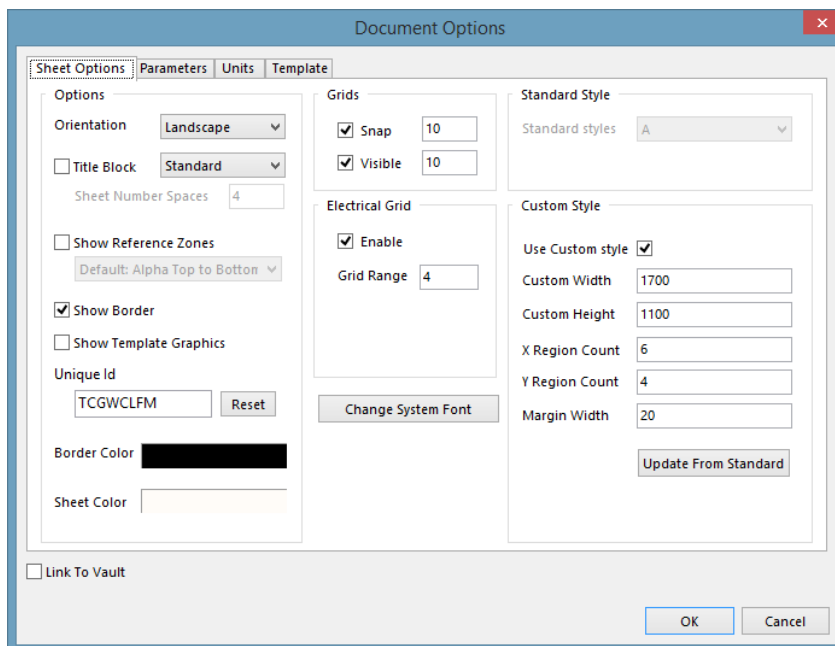
- [Editing multiple objects in Altium Designer](#)
- [Finding similar objects in Altium Designer](#)

## 回路図のボーダー/テンプレート

Altium Designerは再利用可能な回路図シート テンプレートをサポートしていますが、PADS Logicの回路図シート ボーダーとタイトル ブロックは、ライン、テキスト、グラフィックを結合したものと大きく違うので、その他の2Dオブジェクトと見分けがつかません。このため、これらのデータはラインやテキストといった形状のままでも取り込まれます。ロゴなどの埋め込みグラフィック オブジェクトは変換されません。

Altium Designerは自動的に、独自のシート ボーダーとタイトル ブロックを表示するので、情報が重複しているように見える場合があります。変換されたボーダーを維持するか、それともAltium Designerテンプレートで置き換えるかは、ユーザーが決定できます。Altium Designerのボーダーを簡単に無効化するには、以下の手順に従います。

1. **Design** » **Document Options**を選択します。
2. 以下に示すように、Sheet Optionsタブで**Title Block**および**Show Reference Zones**チェックボックスを無効にします。
3. 変換されたボーダーを削除するために、データを選択して削除する方法はいくつかあります。たとえば、'類似オブジェクトの検索'または**Edit** » **Select**メニューから選択コマンド (**Select Outside Area**) を使用します。



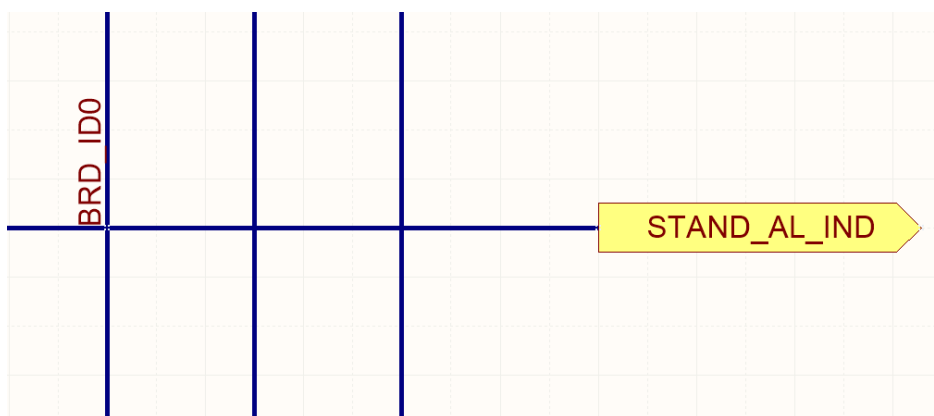
Altium Designerでのドキュメント オプションの設定

## ネット ラベル

Altium DesignerとPADS Logicにおけるもう1つの大きな違いは、ネット名の付け方です。PADS Logicでは、ワイヤまたはコネクションにプロパティを埋め込んで、ネット名（例：CLK）を指定することができます。このネット名は回路図に表示することも、ビューに表示しないようにすることもできます。

Altium Designerは別の方法を使用しており、“ネット ラベル”と呼ばれる特別な文字列タイプを、ワイヤまたはコネクション上に物理的に配置しています。PADS Logicに存在したネット名がAltium Designerに取り込まれると、関連ワイヤの中心点にネット ラベルが配置されます。

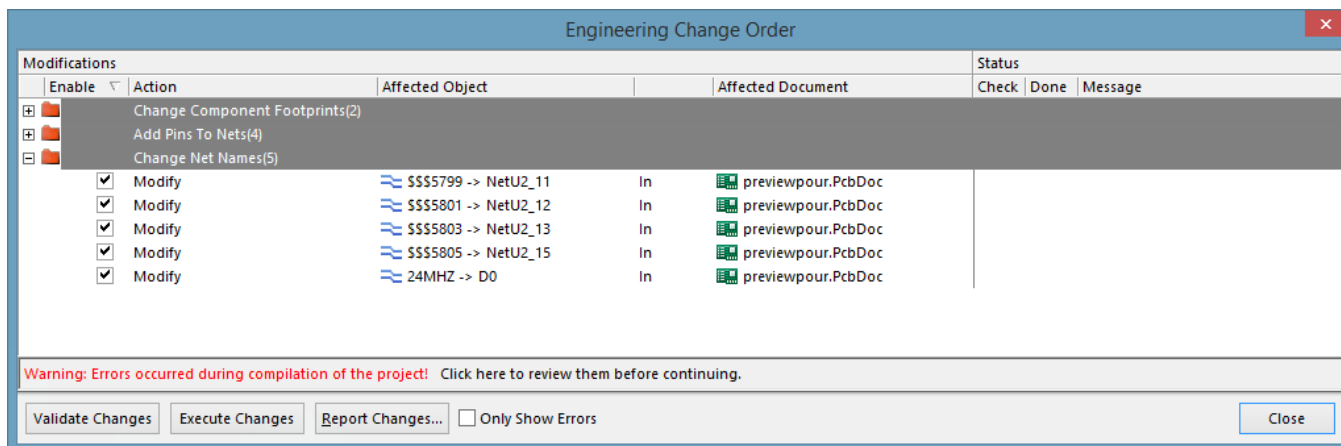
めったにないものの、ありうるケースとして、ワイヤ セグメントの中心点ちょうどで別のワイヤが交差している場合、ネット ラベルがこの交差点に配置され、事実上、**両方**のワイヤに名前が付けられる場合があります。



2つのワイヤの交差点に配置されたネット ラベル

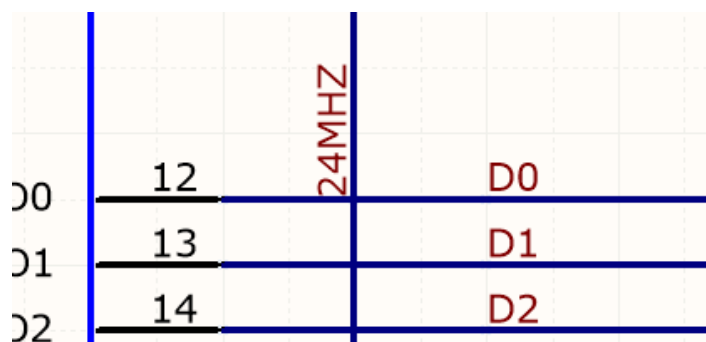
この例では、BRD\_ID0ラベルは縦方向のワイヤに関連付けられていますが、STAND\_AL\_IND ポートに接続された横方向のワイヤにも関連付けられています。この場合、ネット名STAND\_AL\_INDがBRD\_ID0に変更され、明らかに望ましい処理ではありません。

この問題を特定する方法の1つは、デザインを目視検査することですが、対応するPCBデザインがPADS LayoutからAltium Designerに変換されている場合、もっと良い方法があります。回路図とPCBを同期した後でECOを実行すると、システムがネットの名前を変更しようとするときにその旨が表示されます。これは、元のデザインで意図されていない接続上の問題が回路図内にあることを判断する良い指標になります。



ECOの実行による回路図内の接続問題のチェック

上の例では、接頭辞\$\$\$の付いた4つのネットに対して、システム割り当て名がLogicの命名方式からAltium Designerの命名方式に変更されており、これは望ましい処理です。しかし、ネット名24MHZからD0への変更は意図した変更ではないため、より詳しく調査する必要があります。



Altium Designerでのネット ラベルの衝突

回路図デザインを詳しく調査すると、ネット24MHZが、ワイヤ24MHZとワイヤD0の両方に配置されているために衝突が発生していることが分かります。これを解決するには、ネット ラベル24MHZをワイヤD0から引き離す必要があります。

### 手動配置パラメータ

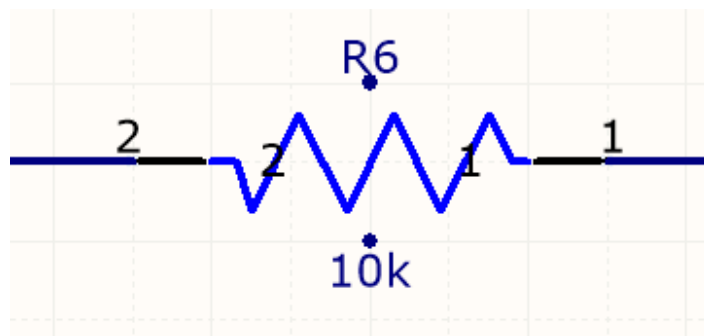
Altium Designerに表示される可視コンポーネント パラメータは通常、'自動配置'として設定されています。つまり、参照識別子を含むパラメータは、システムによってシンボル ボディのそばのデフォルト位置に配置されます。これが便利なのは、コンポーネントを回転するとき、システムによってパラメータが読みやすい位置にすっきりと配置されるためです。

PADS Logicのソース回路図をなるべく正確に複製するため、インポートされたパラメータの自動配置設定は無効化されます。参照識別子およびパラメータは、できる限り元の位置の近くに配置され、'手動パラメータ'と見なされます。

デフォルトのテキスト スタイルおよびサイズは異なるため、正確に一致させることができない場合があります。このような場合、ユーザーがパラメータのテキスト位置を少しばかり変更する必要があります。

以下に示すように、'手動配置'されたパラメータには小さいドットが表示されます。

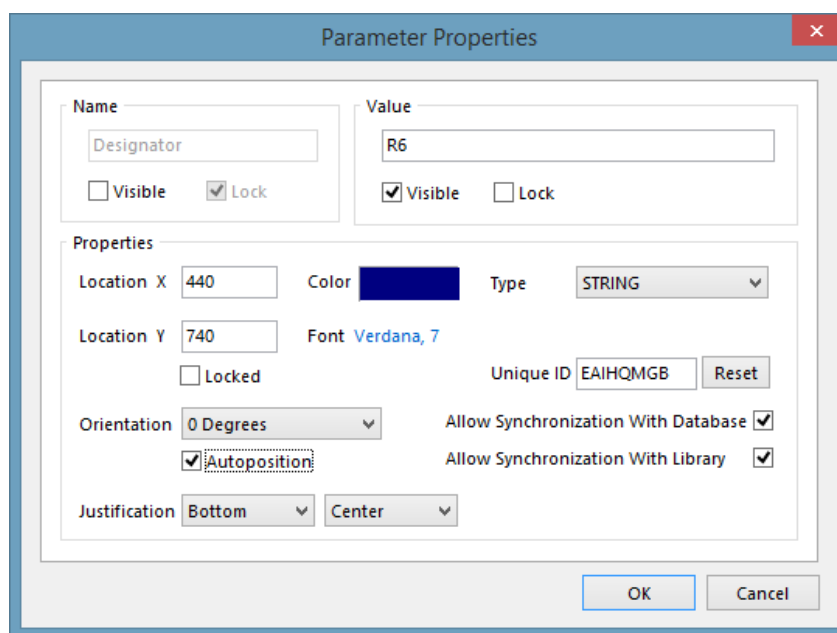




回路図シンボルの手動配置パラメータ

‘手動パラメータ’の対処法には以下の3種類があります。

- デザインをそのままの状態にします。
- パラメータはそのままにしますが、ドットを表示しないようにします。実行するには、**Tools » Schematic Preferences**を選択してから、**Graphical Editing**グループを選び、**Mark Manual Parameters**オプションを無効にします。
- 以下に示すように、*Parameter Properties*ダイアログで‘Autoposition’設定を再度有効化します。これには、‘類似オブジェクトの検索’と‘SCH Inspector’パネルを組み合わせて使用します。



Altium Designerでのパラメータ プロパティの編集

パラメータの自動配置が有効になるのは、コンポーネントの配置または回転プロセス中だけなので、コンポーネントをその場で回転させるまでは自動配置の効果が目に見えません。

すべてのコンポーネントをその場で回転させるには、以下の手順に従います。

1. **Ctrl**を押しながら**A**を押して、回路図シート上のすべての要素を選択します。
2. **スペースキー**を押して、すべてを90度回転させます。
3. **Shift**を押しながら**スペースキー**を押して、すべてを元の位置に戻します。

以上で、すべてのパラメータと識別子が自動配置されます。

## 接続上の相違点

そのほかにも、PADS LogicとAltium Designerには、許容される接続構造に微妙な違いが数多くあります。Altium Designerは階層構造を正確にサポートしているので、シート間で縦方向にも横方向にも接続できますが、PADS Logicはこのような複雑な回路図構造はサポートしていません。

接続の問題は、プロジェクトコンパイルプロセス（**Project** » **Compile PCB Project**）の実行後に明らかになる場合があります。Messagesパネルにエラーと警告が表示され、階層型のネット接続に不一致があることが示されます。たとえば、“Duplicate net names”エラーは通常、シート間の接続が不適切であることを示しています。

あり得るすべての状況をここで説明するよりも、TechDocs内の [Connectivity and Multi-Sheet Design](#) をよく読むことをお勧めします。

## 反転信号

PADS LogicとAltium Designerでは、反転信号の指定方法が少し異なります。PADSでは、“¥”（バックスラッシュ）文字を使用して、バックスラッシュより後ろのすべての文字にバーを付けるよう指示します。このため、ネット名に¥INITと付けると反転されたINIT信号が作られ、以下のように回路図に表示されます。



PADS Logicでの反転信号

Altium Designerは信号の反転または否定を示す方法を2つサポートしています。“¥”文字がネット ラベルの最初の文字として使用されており、かつ、回路図プリファレンスの**Single ‘\’ Negation**が有効になっている場合（**Tools** » **Schematic Preferences** » **Schematic** » **Graphical Editing**）、\INITネットは回路図で以下のように表示されます。

詳細については、TechDocsにある [Connectivity](#) や [Multi-Sheet Design](#) をご参照ください。



Altium Designer v1での反転信号

Altium Designerでのもう1つの方法は、反転される文字の後に“\”を使用する方法です。ここでのおもな違いは、それぞれの文字を個別に反転できる点です。したがって、反転された“INIT”の表記はI\N\I\T\になります。また、HIGH\O\W\などの組み合わせも可能です。



Altium Designer v2での反転信号

PADS Logicで同じネット名を作成すると、HIGH¥LOW（“¥”の後のすべての文字が反転される）となります。Altium Designerで単一の‘¥’による否定手法を使用するには、ユーザーのプリファレンスが設定されている必要があるので（ユーザーごとに異なるプリファレンスの設定が可能）、一般に、反転する文字ごとに後ろにバックスラッシュを付ける方が、安全性が高くなります。

反転信号が使用されているかどうかについて回路図デザインを分析し、PADSの単一バックスラッシュからAltium Designerの複数バックスラッシュに、ネット ラベルを変更することを推奨します。

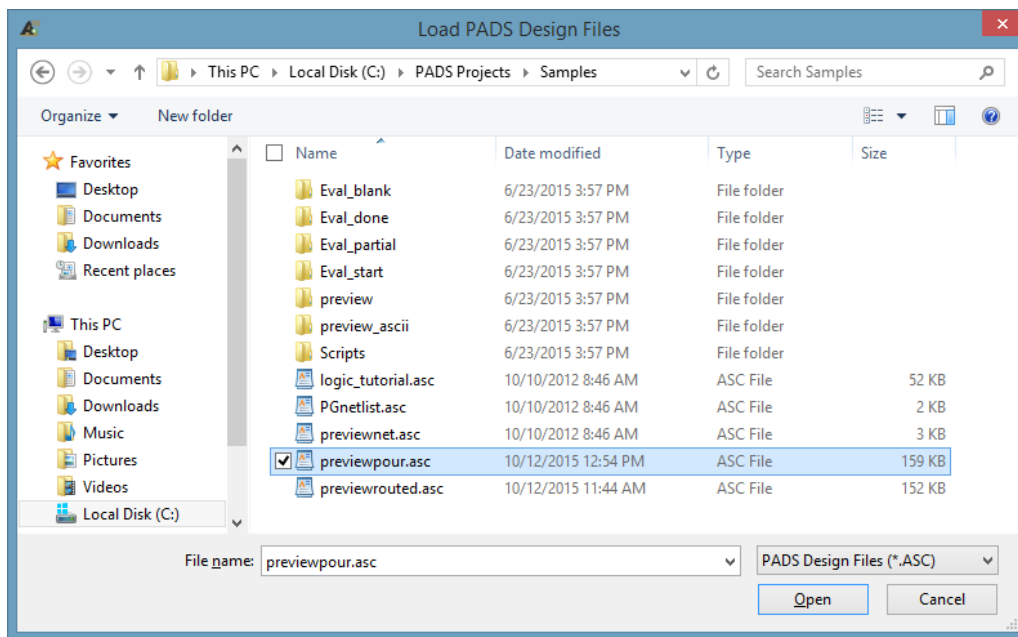
このようなネットを特定する方法はいくつかあります。1つは、**Edit » Find Text**を使用する方法です。もう1つの方法では、はじめにプロジェクトをコンパイルしてから、Navigatorパネルを使用します (**View » Workspace panels » Design Compiler » Navigator**)。ネット/バスを名前順にソートすると、“¥”で始まるネットがリストの最初または最後に表示されます。変更作業は、**Edit » Replace Text**から手動で実行する必要があります。

## PCBの変換

### PCBのインポート プロセス

PADS Layoutの変換プロセスは、PADS Logicの変換と同じ方法で開始できます。インポートを実行するには、以下の手順に従います。

1. **File » Import Wizard**を選択します。
2. Welcome画面で**Next**を選択し、PADS ASCII Design and Library Filesを選び、Nextを選択して次に進みます。
3. **Add**を選択してデザイン ファイルをロードします。デフォルト ファイル タイプは'.asc'です。



Altium Designer Import WizardでのPADSデザイン ファイルのロード

**警告:** PADSでは、2種類のファイル フォーマットで拡張子'.asc'が共有されています。1つは前述したPCBファイルのエクスポートであり、もう1つはネットリスト (PCBデザインを生成するために使用された回路図から生成されるファイル) です。ここでは、後者のファイル フォーマットは使用できません。ファイルはどちらもテキスト ベースであり、テキスト エディターで開くことができます。PCBをエクスポートしたASCIIファイル (正しい場合) の最初の部分は、以下ようになります。

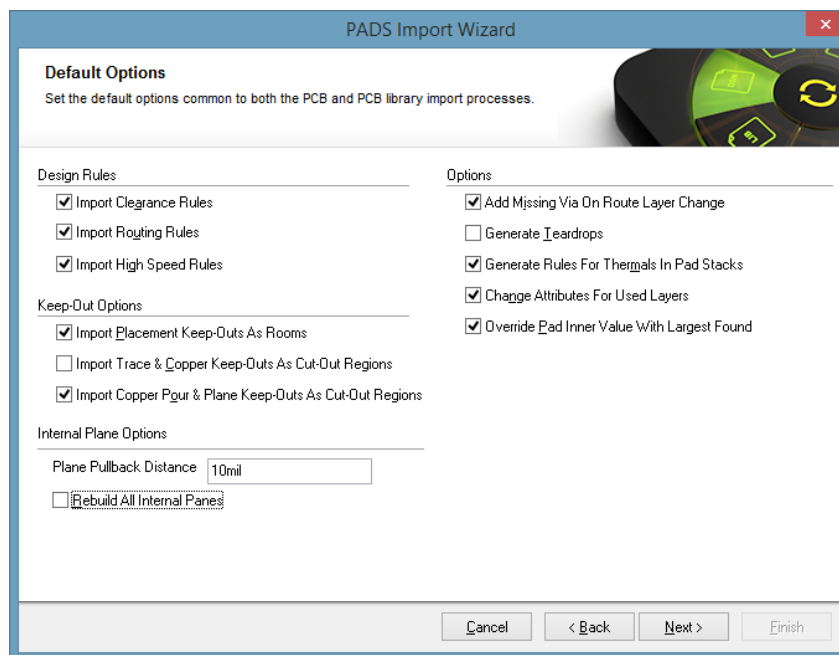
```
!PADS-POWERPCB-V9.5-BASIC! DESIGN DATABASE ASCII FILE 1.0
*PCB*   GENERAL PARAMETERS OF THE PCB DESIGN

UNITS    0      2=Inches 1=Metric 0=Mils
USERGRID 317373 317373 Space between USER grid points
MAXIMUMLAYER 4      Maximum routing layer
```

ネットリスト ファイル (正しくない場合) は以下ようになります。

```
!PADS-POWERPCB-V9.0-MILS! NETLIST FILE FROM PADS LOGIC V9.5
*REMARK*   PREVIEW.SCH   --  Thu  Oct  15  09:06:19  2015
*REMARK*
*PART*    ITEMS
U1   87C256@SO28
U2   87C256@SO28
```

4. **Next**を選択し、**Import Wizard**の処理を続行します。ライブラリ ファイルを変換する場合は、次の画面で追加できます。
5. Reporting Options画面はそのままとします（回路図の変換がない場合）。
6. 次に進む前に、以下に従って、Default Options画面でいくつかの設定を行います。



PADS Import Wizardでのデフォルト オプションの設定

- **Design Rules:** このセクションは読んで字のごとく、クリアランス、ルーティング、ハイ スピードの各ルールをインポートするかどうかを指定します。
- **Keep-Out Options:** これらのオプションを選択しないまま（無効化）にすると、PADSの配置、トレース/銅、銅 ポアの各キープアウトがすべてAltium Designerのキープアウト エリアに変換されます。2つのツール間にはかなり大きな違いがあります。PADSではキープアウトするオブジェクトのタイプを設定できますが、Altium Designerのキープアウトはグローバルなので、すべての電気オブジェクト（トレース、ビア、ポアなど）がキープアウトのDRC違反に対してチェックされます。

**注記: 配置:**

Altium Designerでは配置キープアウトに相当するキープアウトとしてルームを使用するので、**Import Placement Keep-Outs As Rooms**オプションの有効化を推奨します。

トレースおよび銅: Altium Designerのキープアウトは、PADSのトレースおよび銅（銅 ポアではない）と動作がよく似ているので、通常このオプションはオフのままにして、キープアウトのまま維持します。

銅 ポアおよびプレーン: Altium Designerのポアおよびプレーン カットアウトは、PADSと同等に動作します。このオプションは常に有効にすることを推奨します。



- Internal Plane Options:** マイナスのプレーン レイヤーとして変換されるレイヤーについては、プルバック距離として、プレーン カッパーから基板端までの望ましい間隔を設定します。PADSではこの処理は手動で実施され、基板外形の幅をプレーン プルバックの2倍に設定するか、または基板形状に一致するラインをプレーン レイヤー上に引きます。Altium Designerは、Layer Stack Managerダイアログ (**Design** » **Layer Stack Manager**) の設定に従って、このプルバック距離を自動作成します。この値の設定を決定するには、ユーザーがデザインの作成方法を理解する必要があります。
- Options:** このリスト内で重要なオプションは、“Generate Teardrops”です。このオプションを有効にすると、元のPADSデザインで存在していたかどうかに関係なく、自動的にティアドロップが追加されます。このオプションを無効にすることを強く推奨します。ソースのPADSデザインにティアドロップが含まれる場合、Altiumでのティアドロップ作成方法とは異なる構造を持つので、これらは削除されます。

## レイヤー マップの設定

上記のPCBインポート手順に続いて、以下の手順でレイヤー マッピングを設定し、インポート プロセスを完了します。

7. 次の画面で**Edit Mapping**ボタンを選択し、レイヤーの変換方法を分析します。

ここでは、たとえばPADSシルクスクリーン レイヤーがAltiumスクリーン レイヤーにマッピングされるように作業を行います。レイヤー マッピングは必要に応じて手動で調整できます。また、特定のレイヤーからの情報を破棄できる場合、PADSレイヤーをインポートしないように“Not Imported”を設定できます。必ずしもすべてのPADSレイヤーを、Altiumレイヤーにマッピングする必要はありません。

内部レイヤーに固有の処理として、PADS内部信号 (ルーティング) レイヤーは、Altium Designer信号レイヤー (例: “Mid Layer 1”) としてマッピングされます。PADS CAMのプレーン レイヤーは、マイナス イメージのプレーンであるAltium Designerプレーン レイヤー (例: “Internal Plane 1”) としてマッピングされます。トレースまたはその他のプラス イメージの電気データが存在する場合、分割/混合レイヤーとして定義されたPADS内部レイヤーは、Altium Designer信号レイヤーとして初期化されます。

分割/混合レイヤーだけにポア形状がある場合、Altium Designerのプレーン レイヤー (マイナス) として初期化され、すべての分割、埋め込み、分離されたプレーン領域がそのままインポートされます。分割プレーンをプラス レイヤーとしてインポートする場合、この設定を手動で変更できます。

同時に複数のファイルを変換している場合、ファイルごとに独自のレイヤー マッピングが指定されているので、それぞれのレイヤー スタックを調べる必要があります。

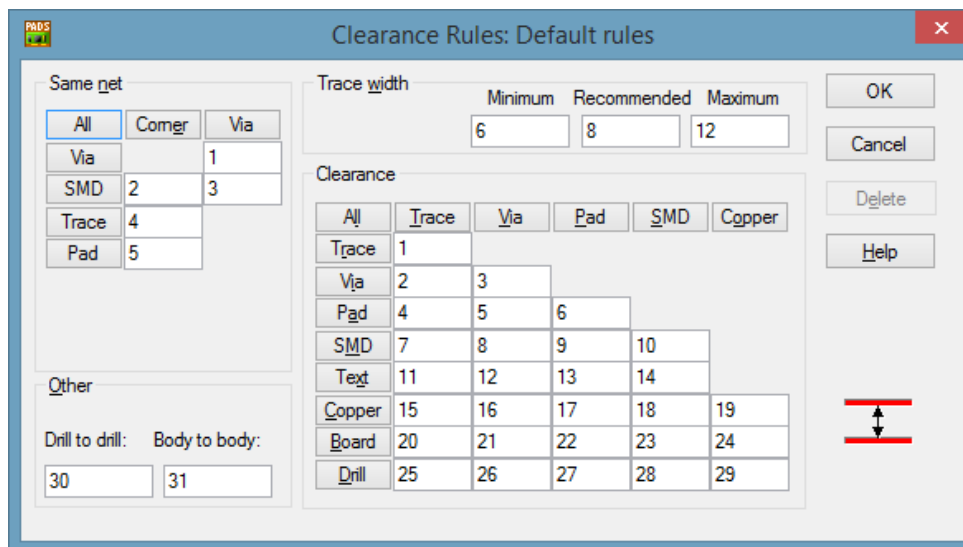
8. **Next**を選択するとレビュー ページが表示され、変換されたファイルとその保存場所が表示されます。
9. デフォルトで、‘Project Output Directory’は選択されたファイルの場所に設定されています。複数のフォルダを使用した場合は空白になります。
10. **Next**を選択すると、変換プロセスが始まります。変換にかかる時間は、デザインの数とサイズによって決まります。小さいデザインであれば数秒で完了しますが、非常に大きいデザインであれば最大で何分かかります。
11. プロセスが完了すると、“Complete”画面が表示されます。**Finish**を選択してこの画面を閉じ、変換されたPCBファイルを確認します。

## PCBデザインのクリーンアップ

変換ツールによってPCBデータは正確に変換されますが、2つのCADシステム間には不一致があるので、インポートされたデザインの編集が必要になる場合があります。

### デザイン ルール

基本的なクリアランス ルールの設定に関して、PADS LayoutとAltium Designerはよく似たマトリクス ベースの手法を使用しています。たとえば、PADSのビア対ビア ルールで設定された値は、Altium Designerのビア対ビア ルールに対して転送されます。それぞれのクリアランス値がどのように変換されるかについては、以下に示す例を参照してください。ここでは、メインのクリアランス マトリクスのみを中心に説明します。



PADSでのクリアランス ルール

**Constraints**

Different Nets Only

Minimum Clearance N/A

	Arc	Track	SMD Pad	TH Pad	Via	Fill	Poly	Region	Text
Arc	1								
Track	1	1							
SMD Pad	7	7	10						
TH Pad	4	4	9	6					
Via	2	2	8	5	3				
Fill	15	15	18	17	16	19			
Poly	15	15	18	17	16	19	19		
Region	15	15	18	17	16	19	19	19	
Text	11	11	14	13	12	11	11	11	10

Required clearances between electrical objects and Board Cutouts / Board Cavities are determined using the largest of Electrical Clearance rule's Region -to- object settings and Board Outline Clearance rule's settings.

Altium Designerでのクリアランス ルール

Altium Designerは、配線されたアークとルート（“トラック”と呼ばれる）を識別します。PADSトレースのクリアランス値は、Altium Designerのトラックとアークの両方に対して転送されます。また、PADSのカッパーに設定された1つの値が、フィル、リージョン、およびポリゴンに使用されます（Altium DesignerのフィルおよびリージョンはPADSのカッパーに相当し、ポリゴンはPADSのカッパー ポアに相当する）。

Altium Designerのクリアランス マトリックスに含まれていないのは、“基板”のクリアランス値です。基板形状のクリアランス設定は、個別のルール設定です（製造デザイン ルールで設定する）。この時点では、基板のクリアランス値はAltium Designerに転送されていないので、手動で作成する必要があります。

Altium Designerには、ドリル対オブジェクトに相当する値はありません（例：ドリル端からSMDピンへのチェックは実行できない）。その代わりに、Altium Designerでは製造デザイン ルールの一部にホール対ホール チェックが含まれています。PADSでのグローバルな“ドリル対ドリル”値（この例では30）は、Altium Designerのホール対ホール ルールとして転送されます。

**ヒント:** Altium Designerでは個別のホール対ホール ルールを作成できるので、必要に応じて、ほかのホールから30ミル ドリルへのクリアランスを、20ミル ドリルとは別の値にすることもできます。



“Same Net”クリアランス ルールについては、Altium Designerでビアベースのルールが再作成されます（ビア対ビア、ビア対SMD）。ただし、Altium Designerには“コーナー”オブジェクトタイプはないため、このオブジェクトに対するルールは転送されません。

ネット クラス、ネット、差動ペアなどのPADS条件付きルールはすべて、期待どおりに転送されます。

ピン ペア、ピン ペア グループ、デカル、コンポーネントに相当するルールタイプはAltium Designerにはないので、変換されません。

## キープアウト

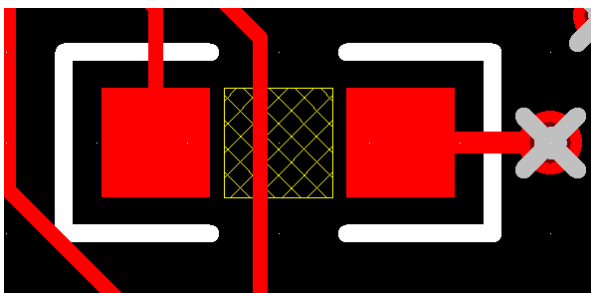
**インポート プロセス** セクションで説明したように、PADSのキープアウト オブジェクトにはAltium Designerとは異なる機能があります。Altium Designerのキープアウトは特定のレイヤーに限定でき、任意の物理形状を指定できますが、ビア、トレース、コンポーネント パッドを含むすべての電気タイプに適用されます。一方、PADSのキープアウトは特定のオブジェクトタイプを除外するように設定できます（例：ビアには適用するがトレースには適用しないキープアウト）。

特定のシナリオに対して1対1の機能性を確保するため、Import Wizardにはいくつかのコントロールが含まれていますが（‘Import Placement Keep-Outs As Rooms’の使用）、ソース デザインのキープアウトタイプを理解し、これらがAltium Designerでどのように機能して、デザインルール チェックにどう影響するかを十分に注意する必要があります。

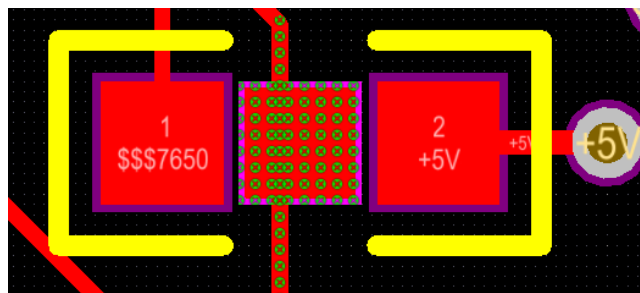
複数のオブジェクトタイプに対してPADSキープアウトが設定されている場合、Altium Designerでは1つのキープアウト オブジェクトしか作成されません。作成されるタイプは、PADSで設定されたキープアウト オプションとImport Wizardで有効化されたキープアウト オプションによって異なります。

キープアウトの不一致はPCBフットプリントにも当てはまります。PADS PCBデカルには、同一の設定可能なキープアウト オブジェクトを含めることができます。たとえば、SMDコンデンサのPADSの間にキープアウト エリアを含めることで、引き続きトレースを可能にしなが、ピン間にビアを配置しないように防止する処理は一般的です。

下の図では、Altium Designerでピン間にキープアウト領域が配置されます。しかし、ビアに対するキープアウト チェック以外に、何らかの電気アイテム（トレース、銅 ポアなど）があるとキープアウト エラーが発生します。PADSキープアウトから変換されたオブジェクトにより、予期しないDRC違反が発生する場合があります。



PADSでビア キープアウトが指定されたフットプリント



Altium Designerでキープアウトが指定されたフットプリント

その場合、該当するフットプリントをAltiumライブラリで編集し、キープアウトを削除する必要があります。

## ポリゴン（銅）ポア サーマル

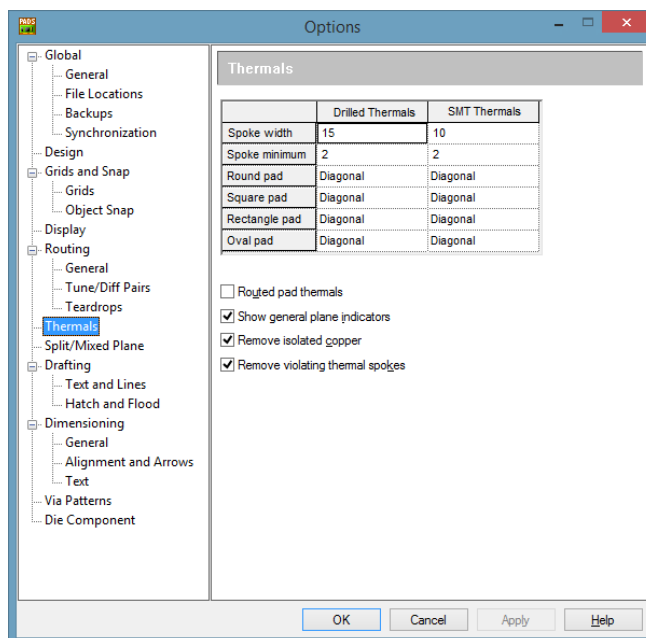
すべてのPCBシステムは、銅 ポアとサーマルの生成を個別に処理します。PADSでは、サーマル接続を定義する方法が多数あり、グローバルレベルと個々のパッドスタック レベルの両方で定義できます。パッド形状に応じてサーマルを変えたり（円形パッドには45度で接続し、楕円形では90度で接続）、デカル レベルや単一ピン レベルで定義したりすることができます。ビア サーマルをビア スタイルごとに定義しておき、フラッドオーバーのオーバーライドを個々の銅 ポアに対して設定できます。サーマル接続にはデザイン ルール設定の影響も及びます。最後に、CAM出力設定により、（マイナス）CAMプレーンへの接続方法を変更できます。

Altium Designerは、サーマル生成に対してまったく異なるアプローチを取っており、これらの設定はデザインルール内で管理します（'Polygon Connect Styleルール'）。実際、この方法ではサーマル接続に関するすべての設定が1か所にまとめられているので、より効率的なサーマル設定が可能です。

以前のバージョンのAltium DesignerのPADS Import Wizardでは、PADSデザイン内に存在したすべてのサーマル接続オプションに対して再作成が試みられていました。結果的に手に負えないほどのポリゴン接続デザインルールが作成され、非常にシンプルなデザインでは少数であるものの、デザインがより複雑になると文字どおり何百ものルールが作成されていました。

変換後のクリーンアップとルールの集約が常に必要であったため、ほとんどのユーザーは単純にすべてのルールを削除し、“Altium Designer方式で”ポリゴン接続ルールを再作成することにしていました。その結果、少ない数のルールでほとんどすべてのシナリオに対応でき、すべてではない場合も、ソースのPADSデザインに存在したシナリオには対応していました。

このため、2つのポリゴン接続ルール（すべてのピンおよびビアに対応するデフォルト接続と、SMTピン専用接続）を除いて、サーマル接続の再作成の削除が決定されました。デフォルトルールによって4スポークのリリーフ接続が作成されますが、このスポーク幅はPADSで設定されたスポーク幅（**Options** » **Thermals**ダイアログの'Drilled Thermals'）によって決まります。

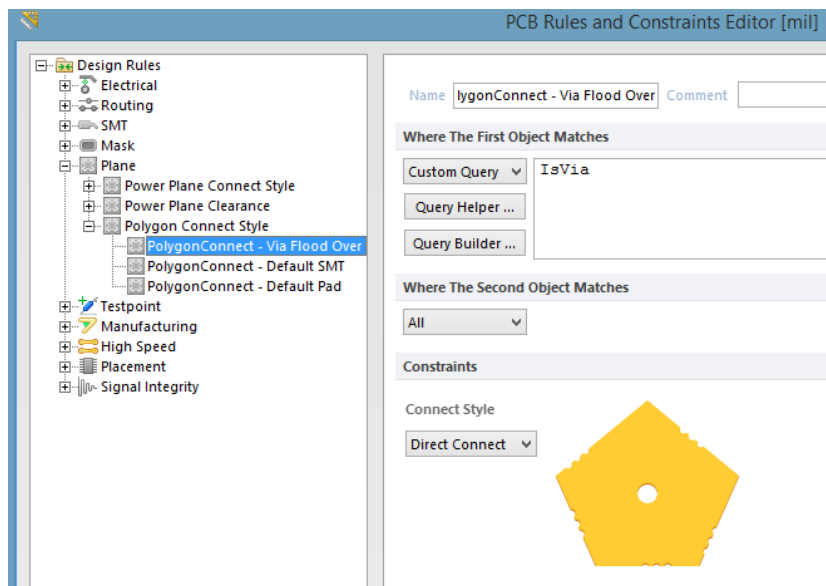


PADSでのサーマル オプション

Altium DesignerのSMT接続ルールのサーマル スポーク幅は、PADS **Options** » **Thermals**ダイアログで'SMT Thermals'に対して設定されたスポーク幅によって決まります。このほかに個別のサーマル接続設定が必要な場合、Altium Designerでルールを手動作成する必要があります。一般的な例には、“フラッド オーバー”接続向けのビアのみを対象としたルールがあります。この場合、新規ルールを作成し、スコープを“All”ではなく“IsVia”に設定して、制約条件を“Direct Connect”にします。

デザインルールの作成について、詳しくはTechDocs内の[Constraining the Design - Design Rules](#)を参照してください。



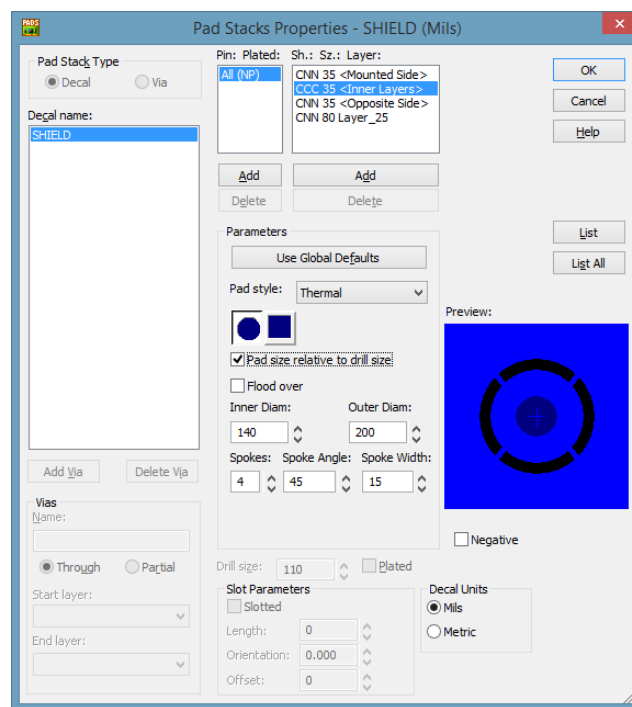
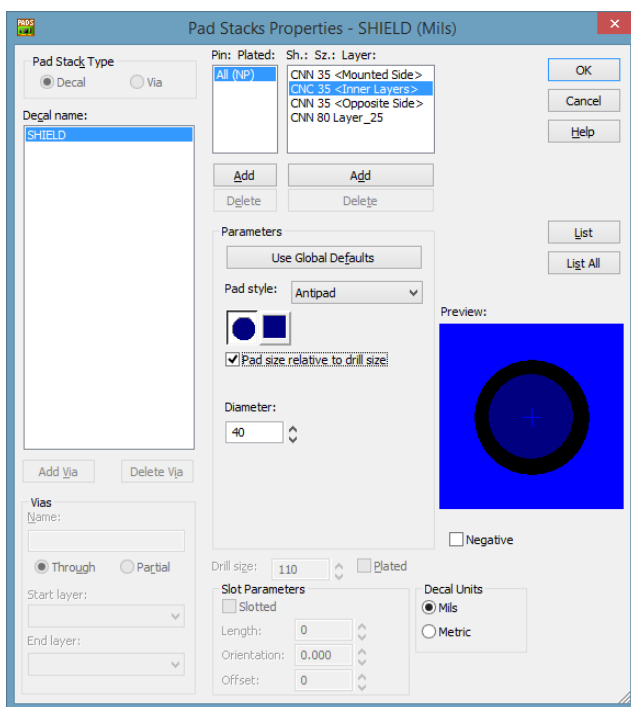


Altium Designerでのポリゴン接続向けデザイン ルールの設定

### プレーン サーマルとプレーン クリアランス

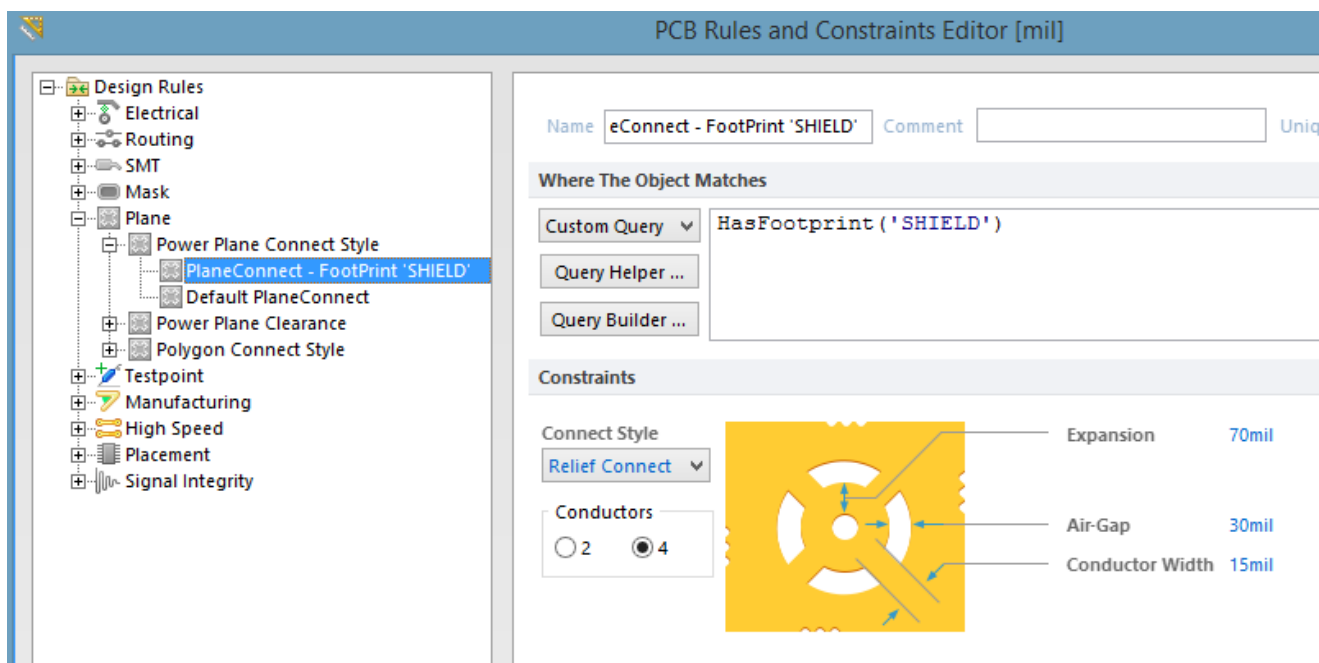
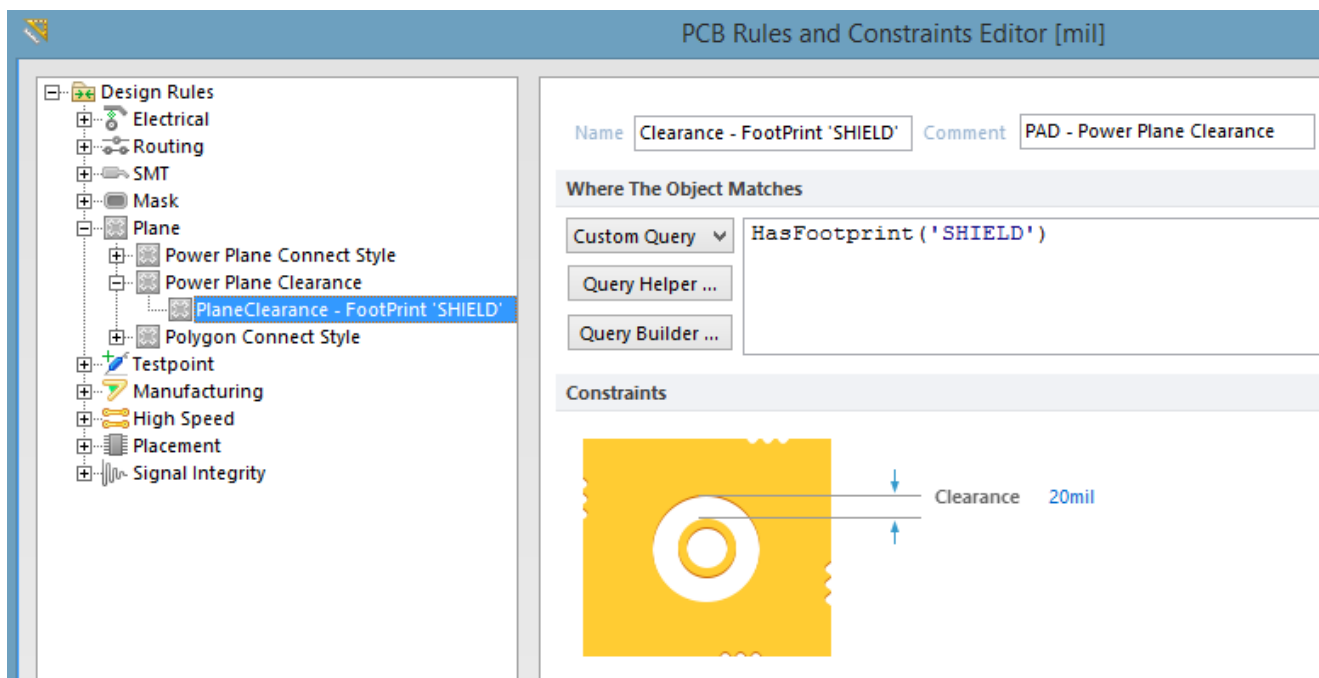
インポート プロセスのレイヤー マッピング セクションで説明したように、PADS CAMプレーンはデフォルトで、Altium Designerのプレーン（マイナス）レイヤーにマッピングされますが、分割/混合レイヤーもまた、Altium Designerのマイナス プレーンに分割レイヤーとしてマッピングできます。

この場合、すべての接続およびクリアランス ルールはAltium Designerのデザイン ルール内で設定されます。PADSではこれらのルールをさまざまな箇所で設定できるので、正しく変換されるものとそうでないものが発生する場合があります（たとえば、サーマルまたはクリアランス値にLayer\_25を使用するパッドスタックは変換されない）。したがって、場合によって個別のプレーン ルールを作成する必要があります。ただし、個別のサーマル値またはアンチパッド値が設定されたPADSパッドスタックがある場合、Altium Designerで、対応するプレーン接続ルールまたはプレーン クリアランスルールが自動的に作成されます。



PADSでのパッドスタック プロパティの設定

PADSでは、個別のピンまたはコンポーネントに対してサーマル値またはアンチパッド値を適用できますが、このルールが変換されると、適用対象はプリントになります。このため、このプリントを使用するデザイン内のコンポーネントはすべて影響を受けます。



Altium Designerでのプレーン サーマルおよびクリアランス向けデザイン ルールの設定

## コンポーネント ライブラリの変換

### コンポーネント ライブラリのインポート プロセス

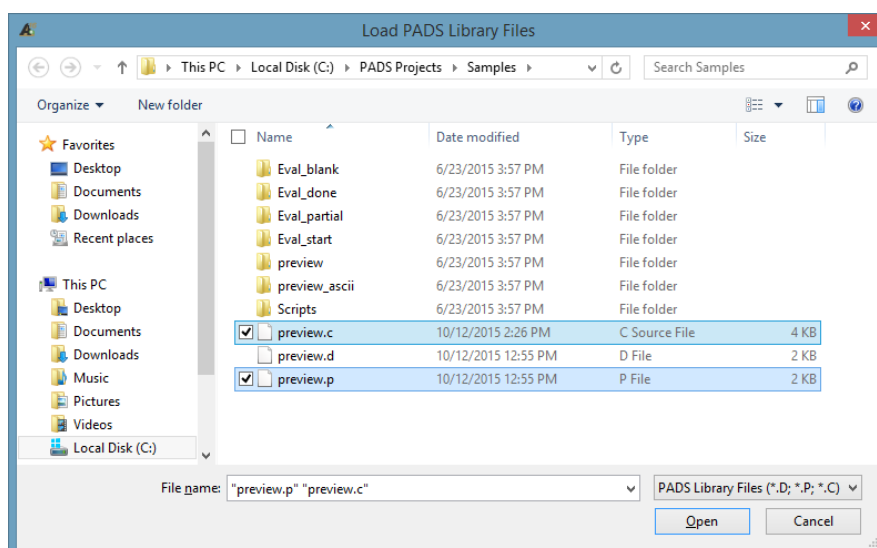
PADSライブラリを変換するには、以下の手順に従います。

1. **File** » **Import Wizard**を選択します。
2. Welcome画面で**Next**を選択し、'PADS ASCII Design and Library Files'を選び、Nextを選択して次に進みます。
3. 再度、**Next**を選択してDesign Import画面をスキップします。
4. Importing PADS Libraries画面で**Add**を選択し、ライブラリ ファイルをロードします。

### 回路図シンボル ライブラリ

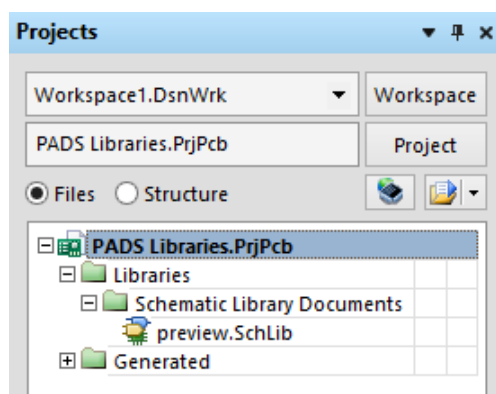
ASCIIファイルの作成セクションで説明したように、Altium Designerの回路図シンボル ライブラリを正しく作成するには、回路図シンボル ライブラリの変換で2つのファイル（'.c'ファイルと'.p'ファイル）を使用する必要があります。

5. Load PADS Library Filesブラウザで、'.c'ファイルと'.p'ファイルの両方のライブラリ ファイルを変換対象として選択し、**Open**を選択します。



Altium Designer Import WizardでのPADSライブラリ ファイルのロード

6. さらに2回**Next**を選択すると、変換プロセスが始まります。プロセスが完了すると、変換された回路図ライブラリをProjectsパネルから開くことができます。

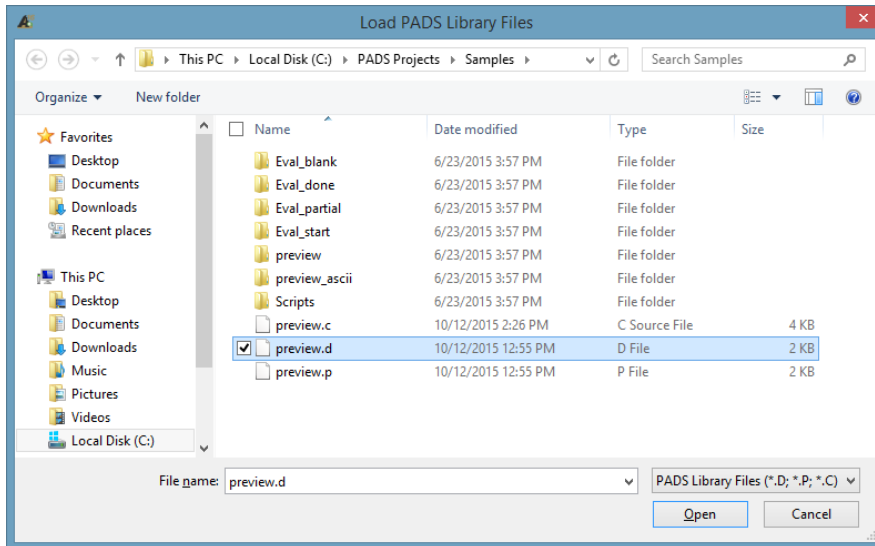


Altium DesignerのProjectsパネル

## PCBデカル/フットプリント ライブラリ

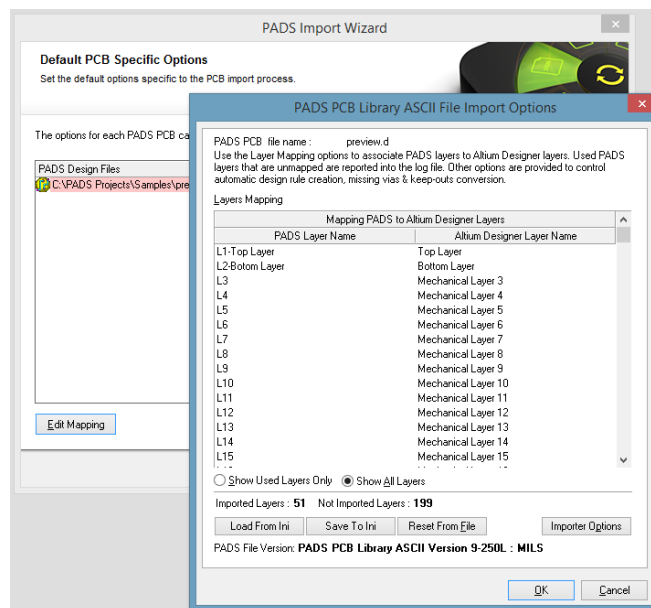
PADSデカルのインポートも同じプロセスで実行しますが、拡張子'.d'が付いたファイルをロードします。

7. 変換対象ファイルを選択し、**Open**を選択します。
8. **Next**を2回選択し、Import Wizardの処理を続行します。



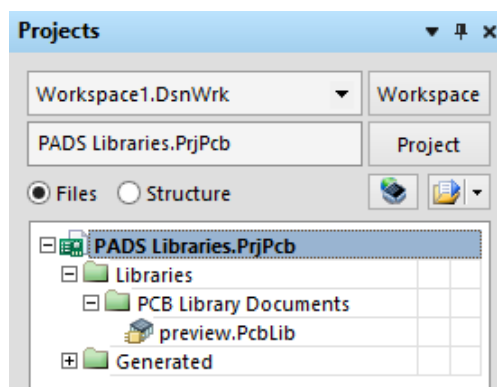
PCBデカルおよびフットプリント ライブラリのロード

デカル ファイルのインポートでは、PCBデザイン レイヤー マッピングと同様のレイヤー マッピング オプションがImport Wizardに用意されています。ここでも、類似レイヤー（シルクスクリーン対シルクスクリーンなど）のマッピングが試行されますが、すべてのPADSレイヤーをAltium Designerレイヤーにマッピングする必要はない点に注意してください。



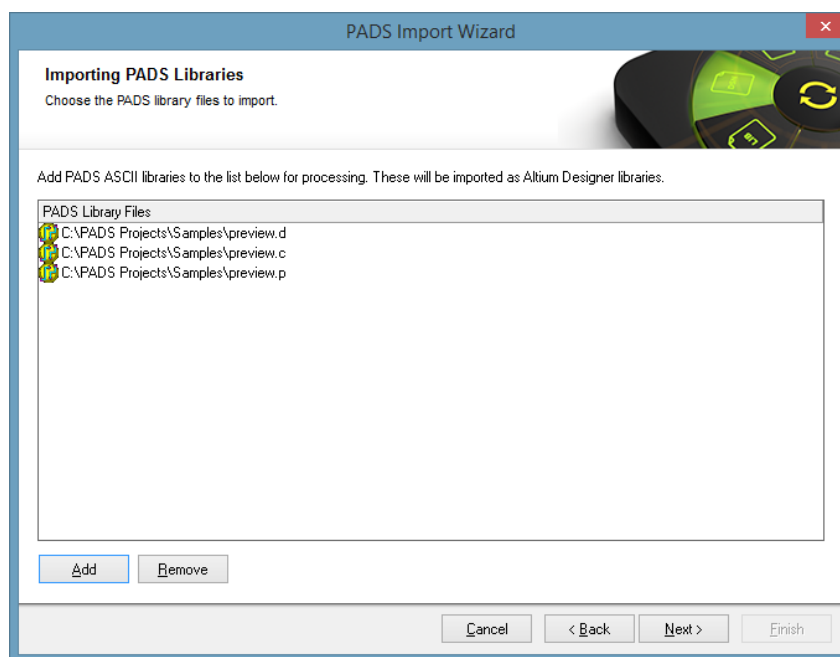
Import Wizardでのレイヤー マッピング オプションの設定

9. レイヤーのマッピングが完了したら、さらに2回**Next**を選択して変換を開始します。
10. 変換後、ProjectsパネルからPCBフットプリント ライブラリを開くことができます。



Altium DesignerのProjectsパネル

**ヒント:** 回路図シンボル ライブラリとPCBデカル ライブラリは、同じインポート プロセスで変換できます。



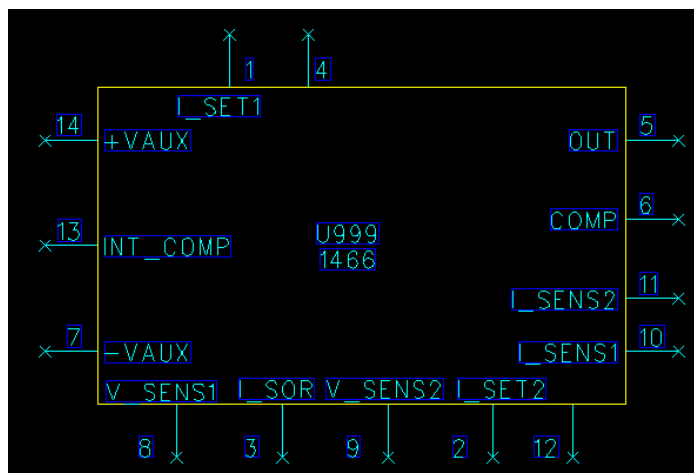
Import Wizardでのインポート済みライブラリのサマリー

## 回路図シンボル ライブラリのクリーンアップ

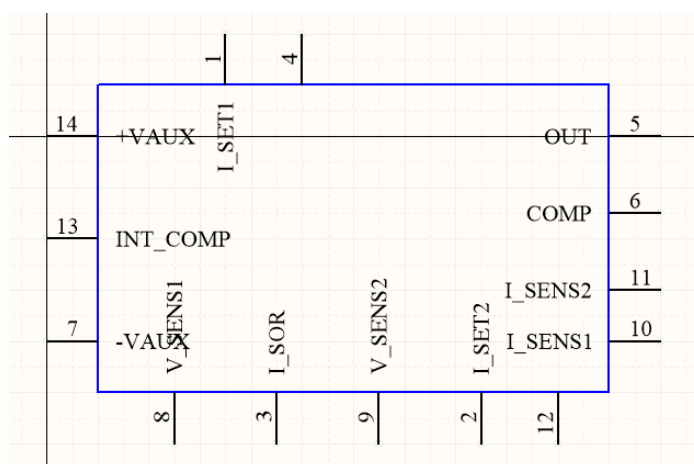
シンボル グラフィック、ピン名および番号、パラメータ、デカル/フットプリントへのポイントを含む回路図シンボルの大部分の要素は正確に変換されます。しかし、場合によっては、シンボル ライブラリを若干編集する必要があります。以下に例を示します。

### テキストおよびピン名の位置

Differences in the default PADS fonts can cause the overall size and positioning of pin names and numbers not PADS のデフォルト フォント間の違いにより、全般的なピン名および番号のサイズと位置が100%は一致しない場合があります。また、ピン名はデフォルトの位置および方向にリセットされ、ピンの隣に並べて表示されます。

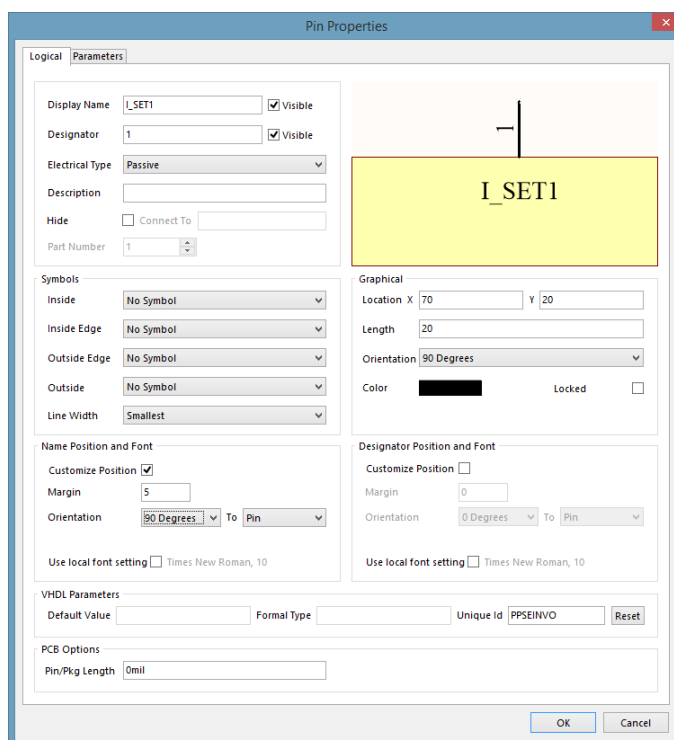


PADSのシンボル



Altium Designerでは、同じシンボルが上部と下部に沿って元の0度に回転されています。

Altium Designerでピン名を調整するには、次に示すように、Pin Propertiesダイアログの'Customize Position'設定を使用します。



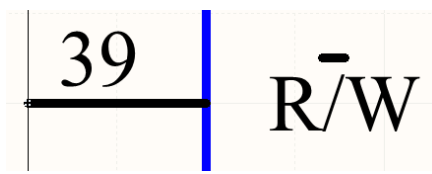
Altium Designerでのピン プロパティのカスタマイズ

## 反転およびマイナス ピン

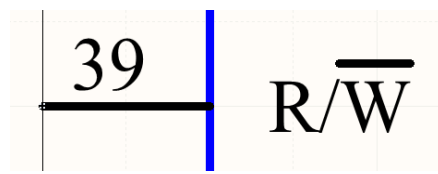
回路図のクリーンアップ セクションで説明したように、Altium Designerでは反転信号の定義がPADSと異なります。ピン（信号）名には同じ設定が適用されるので、後で変更する必要があります。PADSとAltium Designerにおける違いについては、以下の例を参照してください。



PADSでのピンの例



Altium Designerでの同じピンの例



ピン名テキストをR/¥WからR/W¥に変更する必要があります（バックslashをWの後に移動する）。

## フットプリント ライブラリのクリーンアップ

ピン番号およびパッドスタック、シルクスクリーン、銅形状などを含むPCBデカルの大部分の要素は正確に変換されますが、場合によっては、フットプリント ライブラリを若干編集する必要があります。調査が必要になる領域を次に示します。

### キーアウト

PCBクリーンアップのキーアウト セクションで説明したように、PADSとAltium Designerでは、キーアウト機能に多数の違いがあります。ただし、フットプリント ライブラリに関して言えば、注意する必要がある状況は1つだけです。PADSのキーアウトでは、個別のオブジェクト タイプをキーアウトするように設定できます。ビア専用のキーアウトをフットプリント内（例：コンデンサのピン間）に配置することは一般的です。

PADSのビア キーアウト エリアがAltium Designerのキーアウト領域に変換されると、すべての電気オブジェクトの配置または配線を禁止します。Altium Designerにはビア専用キーアウトに相当するキーアウト オブジェクトはないので、このタイプのキーアウトは削除するか、または変更による影響を理解しておく必要があります。

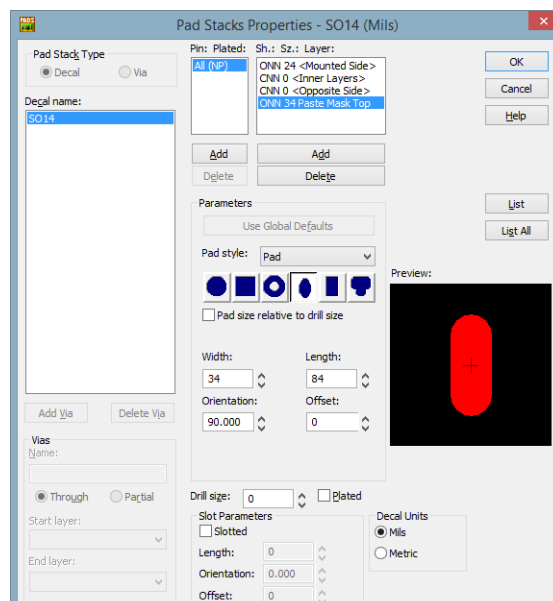
フットプリントに限定されたもう1つの一般的なキーアウトは、銅 ポア キーアウトです。ポア キーアウトとして設定されたキーアウトも、Altium Designerでは総合的なキーアウトに変換されます。ただし、Altium Designerのフットプリントにポリゴン ポア カットアウトを追加すると（Place » Polygon Pour Cutout）、この状況を修正できます。ポリゴン ポア カットアウトを追加した後、元のキーアウト オブジェクトを忘れずに削除する必要があります。

### ソルダー マスクとペースト マスク

Altium Designerはデフォルト ルールに従って、ソルダー マスクとペースト マスクの拡大/縮小値を自動的に追加します。これらのレイヤーがPADSで明確に定義されていた場合、Altium Designerではパッドスタック値が適宜設定されます。ソルダー マスク レイヤーまたはペースト マスク レイヤーが定義されていなかった場合、Altium Designerのデフォルト設定が使用されます。

たとえば、ペースト マスクのトップ レイヤーにオーバーサイズが5ミルのパッドスタックが追加されているとします（両方向に5ミル追加されるので、24ミルのソルダー マスク クリアランスが34ミルに増加する）。

たとえば、ペースト マスクのトップ レイヤーにオーバーサイズが5ミルのパッドスタックが追加されているとします（両方向に5ミル追加されるので、24ミルのソルダー マスク クリアランスが34ミルに増加する）。



Altium Designerでのパッドスタック プロパティの設定

この5ミルという値は、Altium Designerのパッド プロパティの“Paste Mask Expansion”値に適用されます。PADSのパッドスタックにはソルダー マスク レイヤーが追加されていなかったため、デフォルト設定のExpansion value from ruleが使用されます。

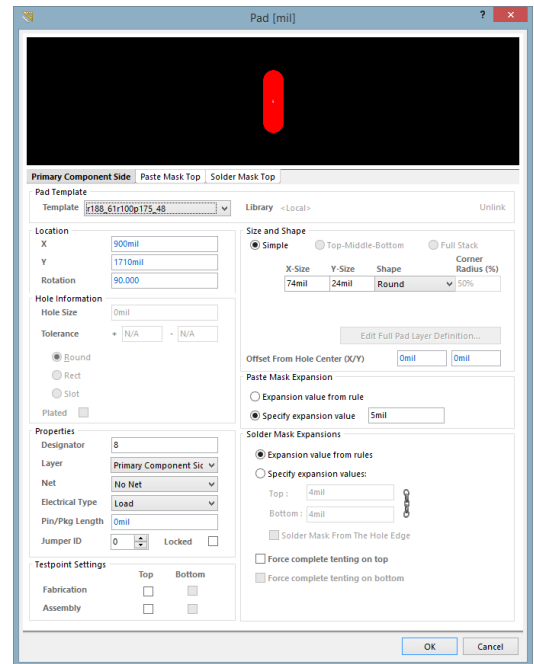
PADSでは、マスクの拡張で幅と長さを個別に拡大/縮小することができます。このため、この例では、ペースト マスク レイヤーのパッド幅が24ミルから34ミルに増加されましたが、パッドの長さは74ミルのまま維持されました。Altium Designerは拡張値をすべての方向に適用するので（パッド サイズ全体の“拡大”または“縮小”）、均一でない拡大/縮小値が設定されたパッドがないかどうかを調べる必要があります。

**ヒント:** PADSにおいて幅と長さの拡張値が異なる場合、Altium Designerへの変換時に小さい方の値が使用されます。

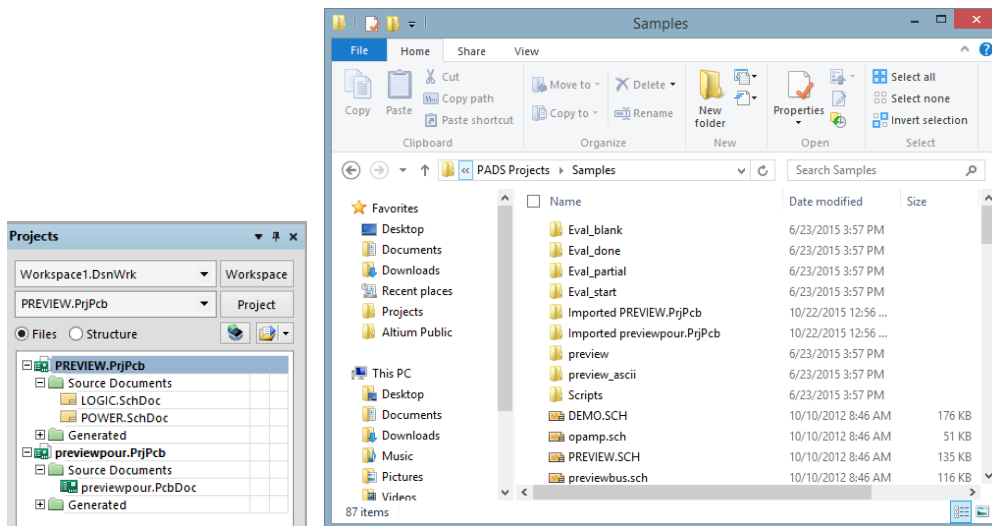
## 回路図とPCBの同期

### プロジェクト管理

同じImport Wizardセッションで回路図デザインとPCBデザインの両方を変換することは可能ですが、変換処理は別々のプロセスとして実行されます。それぞれのデザインが変換されると、結果として生成されるファイルは別々のプロジェクト内に配置されます。この例では、“Preview”という回路図と“Previewpour”というPCBデザインがImport Wizardで同時に処理されましたが、プロジェクトとプロジェクト フォルダ構造は2つずつ作成されています。



Altium Designerでのパッド プロパティの設定



Altium Designerにインポートされた2種類のプロジェクトの使用

プロジェクト全体を再作成する必要がある場合、何らかのファイル管理をする必要があります。一般に推奨される方法は、すべてのプロジェクト ファイルを同じフォルダ内に配置することです。通常、回路図ドキュメントは複数ありますが、PCBドキュメントは1つだけなので、'.PcbDoc'ファイルを'.SchDoc'の含まれるプロジェクト フォルダにコピー/移動する方法がもっとも簡単です。

この時点ではインポートされたPCBプロジェクト（この例では“previewpour.PrjPcb”）は必要ないので、プロジェクトを閉じます。パネルでプロジェクト名（“previewpour.PrjPcb”）を右クリックし、**Close Project**を選択します。ここからは、“Preview.PrjPcb”が作業中のプロジェクトになります。このプロジェクトに'.PcbDoc'ファイルを追加します。**Project » Add Existing to Project**を選択し、'.PcbDoc'ファイルを追加してからプロジェクトを保存します。

プロジェクトについて、詳しくはTechDocs内の[Project Management](#)を参照してください。

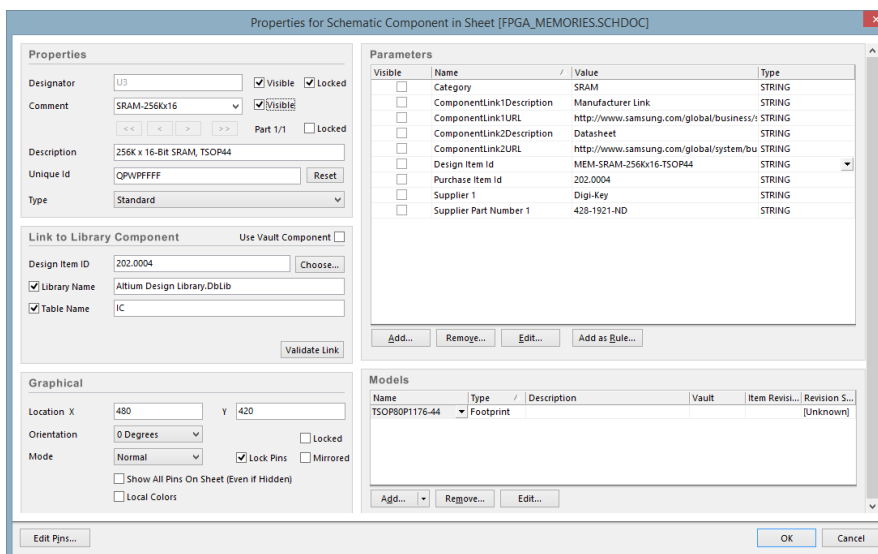


## 同期

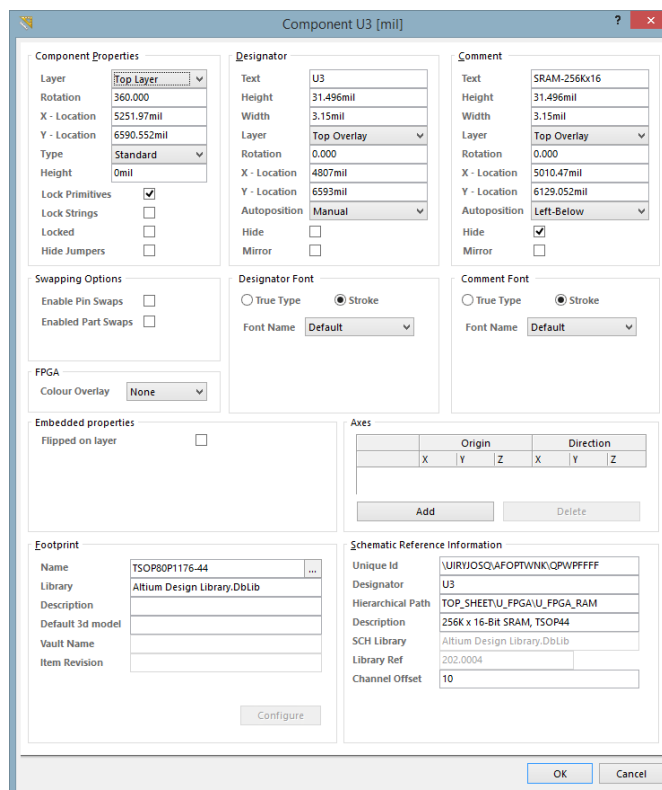
Altium Designerでは、参照識別子を使用して回路図とPCBを同期する代わりに、ユニークIDの値を使用します。ユニークIDは、各コンポーネントに割り当てられた一意のシリアルナンバーと見なすことができます。Altium Designerでゼロからデザインを作成する場合、回路図エディター内で、システム生成されたユニークIDが各コンポーネントに割り当てられます。

デザインがPCBエディターに転送されるときにユニークIDが渡され、PCBドキュメント内で対応するフットプリント上に保存されます。以下に示す例では、ユニークID“QPWPF555”がU3’に割り当てられており、このIDは回路図エディターとPCBエディターの両方に表示されます。

**注記:** フットプリント内に追加のID値 (“\UIRYJOSQ¥AFOPTWKN\”) が表示されているのは、このデザインの階層特性によるものです。



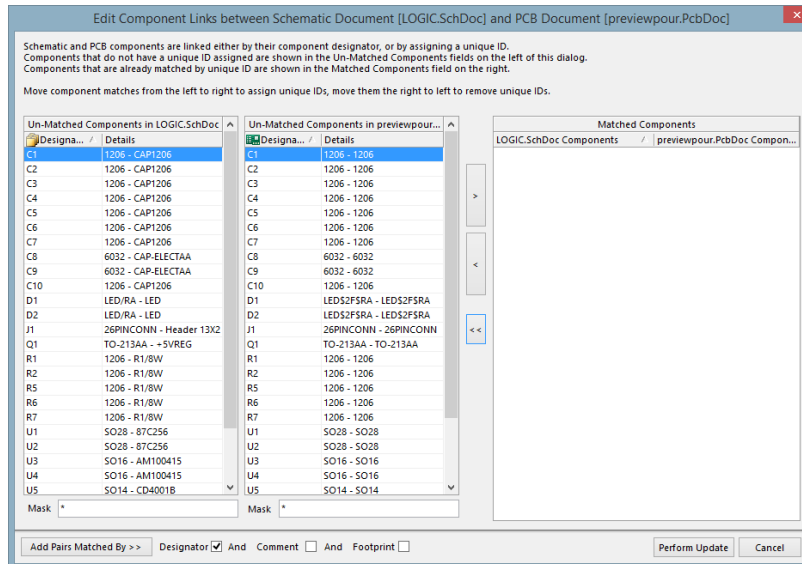
Altium Designerでの回路図コンポーネントのプロパティの設定



Altium Designerでのコンポーネント プロパティの設定

PADS LayoutからPCBデザインを変換する場合、既存回路図との対応を保証できないため、ユニークID値は割り当てられません。ただし、非常に簡単な方法で、変換済みの回路図から変換済みのPCBデザインにユニークID値を同期することができます。以下の手順に従います。

1. 'PcbDoc'ファイルを開き、**Project >> Component Links**を選択します。

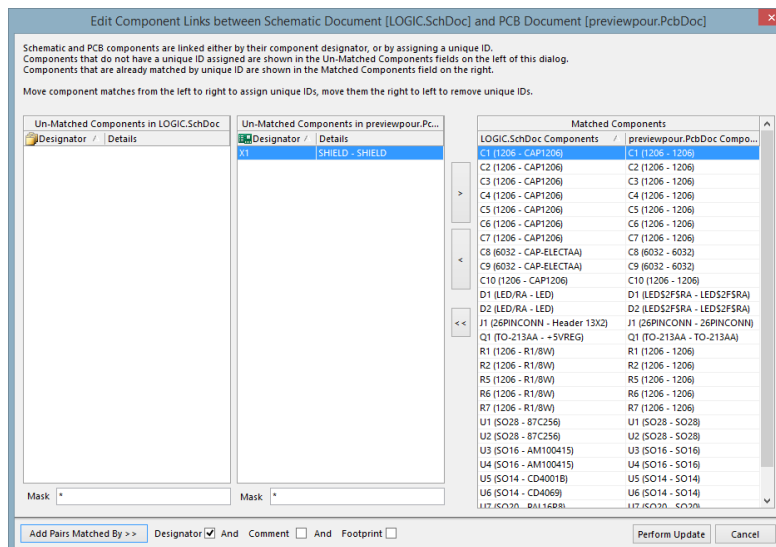


回路図とPCB間のコンポーネントリンクの設定

左側の2つのペインに表示されるコンポーネントにはいずれも、ユニークIDが割り当てられていません。ここでの目標は、回路図コンポーネントとPCBコンポーネントを対応させることです。手動でこれを実行するには、ペアを選んで右側の'Matched Components'リストに追加します(>ボタンを使用)。

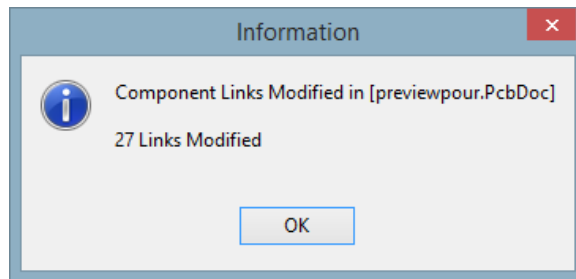
また、参照識別子、コメント、フットプリントの組み合わせを自動的に調べる方法もあります。もともと、このデザインは全面的にPADSで作成されているので、回路図とPCB間で参照識別子が正確に一致すると見なして問題ありません。

2. **Designator**チェックボックスが有効になっていることを確認します (**Comment**と**Footprint**は無効にする)。
3. **Add Pairs Matched By >>**ボタンをクリックします。参照識別子を使用して、回路図コンポーネントとPCBコンポーネントのペアが自動的に作成されます。



Altium Designerでの参照識別子を使用した回路図コンポーネントとPCBコンポーネントのペア作成

4. **Perform Update**を選択し、ユニークIDのペアを同期します。
5. **OK**をクリックします。

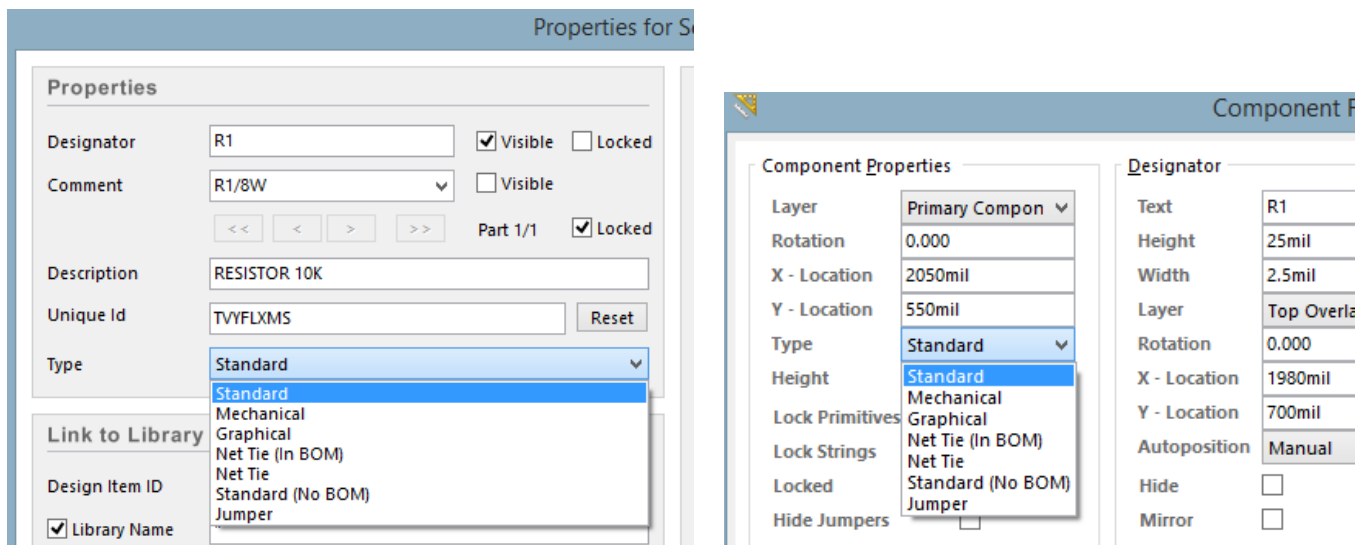


コンポーネントリンクの確認

これにより、クロス プローブやEngineering Change Order (ECO) のような機能が有効になるので、より正確な動作を実現できます。

上の例のように、参照識別子リストが完全な1対1対応にはならない場合もあります。この原因としては、メカニカル タイプのコンポーネントが基板に追加されたが、回路図には追加されなかったケース（上記の“Shield”コンポーネント）などがあります。また、取り付けホールがコンポーネントとして追加されるケースも不一致の原因として一般的です。反対に、ヒート シンクなど、BOMに追加するために回路図に追加されたコンポーネントが、PCB上には物理的に表示されないケースもあります。

PADSはECO登録プロパティを使用してこのような状況を処理しますが、Altium DesignerにはECO動作を定義するためのコンポーネント プロパティ オプションが何種類か用意されています。以下に示すように、回路図エディターおよびPCBエディターのコンポーネント プロパティには、使用可能なコンポーネント タイプのリストが含まれます。



Altium DesignerでのECO用プロパティ オプションの設定

Altium Designerのコンポーネント タイプについて、詳しくは[A Look at Creating Library Components](#)を参照してください。

“Shield” (X1) コンポーネントをMechanicalに設定すると、Component Linksからこのコンポーネントが削除されます。また、より重要なこととして、ECOプロセスがX1を欠落コンポーネントとして無視します。それ以外の場合、X1は対応する回路図コンポーネントを持たないので、ECOプロセス中に削除されます。

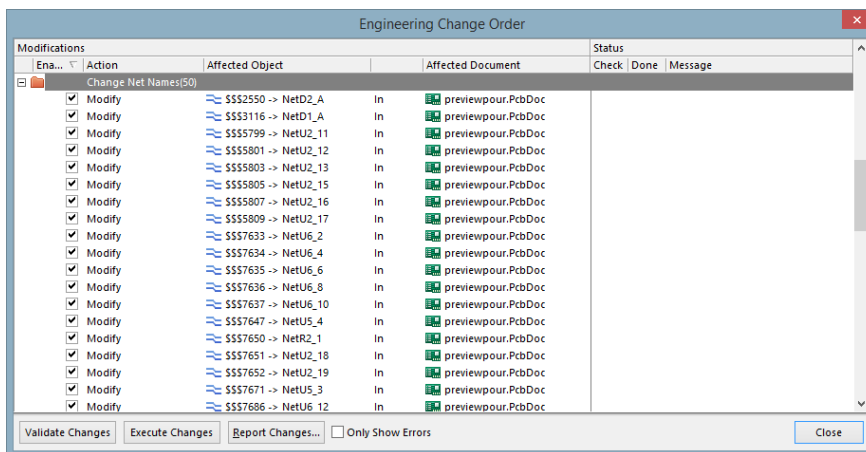
### Engineering Change Order

この時点でECOを実行すると、回路図とPCB間に残る不一致が明らかになります。PCBから**Design** » **Import Changes from <プロジェクト名>**を選択します。場合によっては、ネット名/クラスを手動で対応させるように指示するメッセージ ウィンドウが表示されます。ここでは**No**を選択し、残りのECOプロセスを実行して、ネットの名前変更とその他の変更を実行することを推奨します。



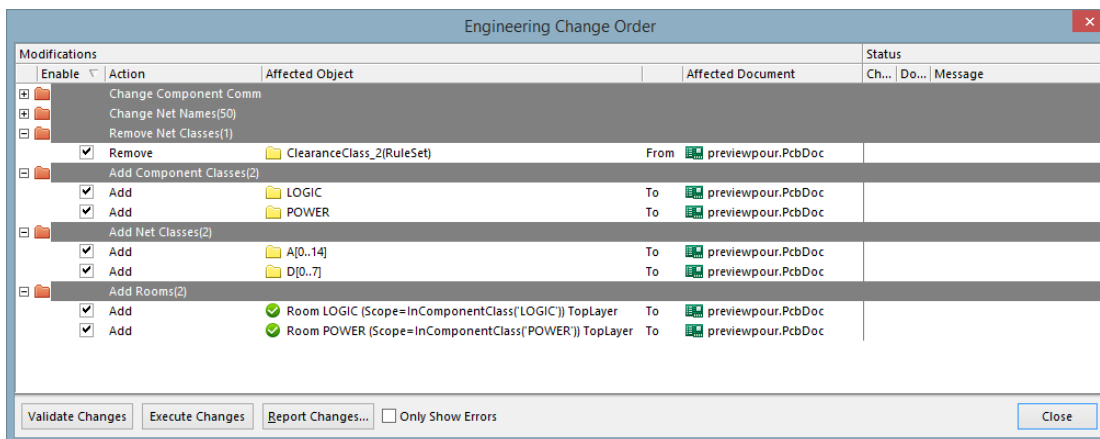
ネット名/クラスの手動による対応付けの確認

ECOプロセスでは多数の変更が必要になる場合がありますが、より重要なタスクの1つはシステムで割り当てられたネット名を変更することです。回路図の**インポート プロセス** セクションで説明したように、PADS LogicとAltium Designerでは、システムが割り当てるネット名の作成方法が異なります。通常は、以下に示すように、ECOプロセスを使用して、PADSのネット名からAltium Designerのネット名に変更することを推奨します。



Altium Designerのシステム割り当てネット名

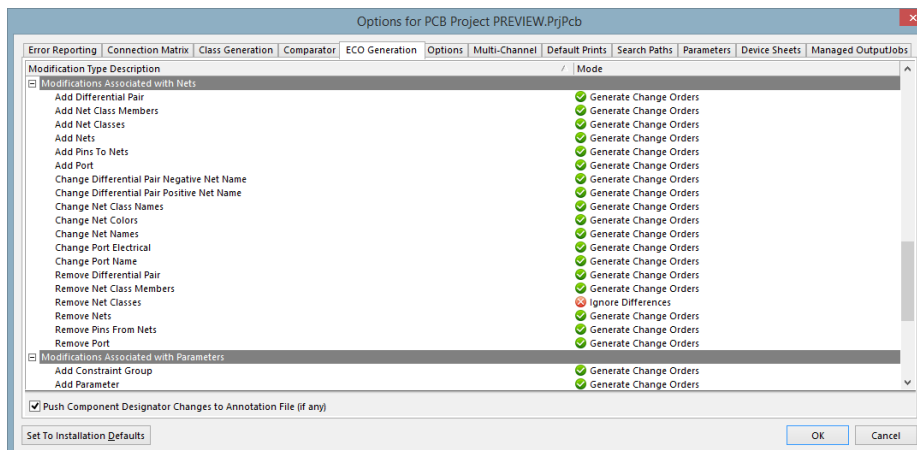
ECOプロセスで必要になるその他の変更には、**Project** » **Project Options**から実行できるものがあります。Altium Designerがデフォルトで実行しようとする処理には、ネット クラス、コンポーネント クラス、ルームなどの作成、削除、同期があります。



Altium DesignerでのECO用プロジェクト オプションの設定

これらの変更を受け入れるかどうかは、ユーザーが決定できます。ECOダイアログ内のチェックボックスを使用すると、特定の変更を一時的に無効にできます。ECOプロセス中に実施される変更の種類を永続的に変えるには、**Project > Project Options**メニューを選択し、**ECO Generation**タブのオプションを設定します。

通常変更が必要になる重要なオプションの1つは、**Remove Net Classes**です。Altium Designerは、回路図で作成されたネット クラスとPCBで作成されたネット クラスを同期しようとします。デザイン ルールの変換中に作成されたネット クラスがあるか、PADS Layoutでのみ定義されて、PADS Logicでは定義されていないネット クラスがある場合、あるいはその両方の場合、PCBと回路図を正確に一致させるために、ECOプロセスはデフォルトでこれらのネット クラスを削除しようとします。

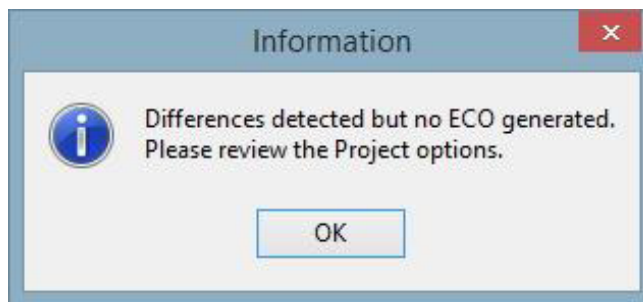


Altium DesignerでのECO用プロジェクト変更オプションの設定

**Remove Net Classes**オプションを'Ignore Differences'に設定すると、PCBファイルのみに存在するネット クラスが削除されなくなります。

その他多くの状況により、ECOプロセス中に回路図とPCB間の違いが表示されます。ここですべてを説明することはできませんが、ここまで提供した概念を使用することで、相違の原因を特定することができると考えられます。詳しくは、TechDocs内の[Finding Differences and Synchronizing Designs](#)を参照してください。

最終的な目標は、更新後に、ECOがまったく生成されないか、または相違点が見つからないというメッセージが表示されることです（どちらになるかは、プロジェクト オプションの設定によって決まる）。



相違点がないことを示すメッセージ ダイアログ

## 次のステップ

すべてのデザイン ファイルが無事にPADSから変換されたら、Altium Designerの精緻な統一設計環境について確認しましょう。以下に、Altium Designerを最大限活用できるようにするためのドキュメンテーション、ビデオ チュートリアル、その他のトレーニング リソースへのリンクを記載します。

### サポート ドキュメンテーション

- [構想から製造へ](#) – Altium Designerではじめて回路図と基板レイアウトを作成するための一連のチュートリアル
- [Altium Designerの詳細](#) – Altium Designerの統一設計環境に関する包括的な概要
- [コンポーネントとライブラリの詳細](#) – Altium Designerワークスペースで簡単にコンポーネント ライブラリを管理する方法

上記は、利用できるAltium Designerドキュメンテーションのごく一部にすぎません。その他のドキュメンテーションについては、[Altium Documentation](#)を参照してください。

### ビデオ ライブラリ

Altium Designer環境の習得に役立つチュートリアル、機能概要、その他を含むビデオを提供しています。利用できるビデオの一覧は、[Altiumlive Video Library](#)で確認できます。

### ライブ トレーニング イベント

ハンズオン方式の習得をお好みの方には、ウェビナー、トレーニング コース、セミナーを含むライブ イベントへの登録をお勧めします。イベント一覧は、[Altiumイベント ページ](#)で確認できます。

### お問い合わせ

サポート チームがお客様の疑問を解決するお手伝いをいたします。[お問い合わせページ](#)から直接お問い合わせください。